

PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Hiroaki TANAKA et al.

Serial No. (unknown)

Filed herewith

COLOR LIQUID CRYSTAL DISPLAY DEVICE AND  
MANUFACTURING METHOD OF THE SAME

**CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119  
AND SUBMISSION OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

Attached hereto are certified copies of applicants' corresponding patent applications filed in Japan under 2000-161677 and 2001-110195, on May 31, 2000 and April 9, 2001, respectively.

Applicants herewith claim the benefit of the priority filing date of the above-identified application for the above-entitled U.S. application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON

By Benoît Castel  
Benoît Castel  
Attorney for Applicant  
Customer No. 000466  
Registration No. 35,041  
745 South 23rd Street  
Arlington, VA 22202  
703/521-2297

May 31, 2001

【書類名】 特許願

【整理番号】 74610563

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G02F 1/133

【発明の名称】 カラー液晶表示装置及びその製造方法

【請求項の数】 13

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 橋本 宜明

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 田中 宏明

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 坂本 道昭

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 渡邊 貴彦

【発明者】

【住所又は居所】 鹿児島県出水市大野原町2080 鹿児島日本電気株式会社内

【氏名】 城戸 秀作

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【特許出願人】

【識別番号】 000181284

【氏名又は名称】 鹿児島日本電気株式会社

【代理人】

【識別番号】 100090158

【弁理士】

【氏名又は名称】 藤巻 正憲

【電話番号】 03-3433-4221

【先の出願に基づく優先権主張】

【出願番号】 特願2000-161677

【出願日】 平成12年 5月31日

【手数料の表示】

【予納台帳番号】 009782

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715181

【包括委任状番号】 0011021

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 カラー液晶表示装置及びその製造方法

【特許請求の範囲】

【請求項 1】 透明絶縁性基板上に薄膜トランジスタ、カラーフィルタ、ブラックマトリクス及び画素電極が形成されたカラーアクティブマトリクス基板を含むカラー液晶表示装置において、前記薄膜トランジスタは、ゲート電極、ゲート絶縁膜、半導体層、オーミック層、一对のソース・ドレイン電極が積層された逆スタガ構造であり、前記半導体層に構成されるチャネル領域上において、前記オーミック層、前記ソース・ドレイン電極及び前記ブラックマトリクスが、前記積層方向から見て同一形状であることを特徴とするカラー液晶表示装置。

【請求項 2】 透明絶縁性基板上に薄膜トランジスタ、カラーフィルタ、ブラックマトリクス及び画素電極が形成されたカラーアクティブマトリクス基板を含むカラー液晶表示装置において、前記薄膜トランジスタは、ゲート電極、ゲート絶縁膜、半導体層、オーミック層、一对のソース・ドレイン電極が積層された逆スタガ構造であり、前記オーミック層と前記ソース・ドレイン電極は前記積層方向から見て同一形状であることを特徴とするカラー液晶表示装置。

【請求項 3】 前記ドレイン電極につながるドレインバスラインは、前記半導体層、前記オーミック層、前記ソース・ドレイン電極を構成する金属膜と同一の金属膜の積層構造であることを特徴とする請求項 1 又は 2 に記載のカラー液晶表示装置。

【請求項 4】 前記ブラックマトリクスは、前記カラーフィルタの周縁部の少なくとも一部を覆うように形成されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のカラー液晶表示装置。

【請求項 5】 透明絶縁性基板に全面に第 1 導電膜を形成し、ゲート電極及びゲートバスラインを形成する工程と、全面にゲート絶縁膜、半導体層、オーミック層、第 2 導電膜を積層し、薄膜トランジスタのアイランド及びドレインバスラインを形成する工程と、前記透明絶縁性基板上の所要領域にカラーフィルタを形成する工程と、全面に遮光膜を形成し、少なくともチャネル領域以外の前記アイランドを覆う領域と前記カラーフィルタを除く領域に前記遮光膜を残してブラ

ックマトリクスを形成する工程と、前記アイランドにおいて前記ブラックマトリクスをマスクにして前記チャネル領域に相当する領域の前記第 2 導電膜及び前記オーミック層を除去してドレイン電極及びソース電極を形成する工程と、全面に平坦化膜を形成し、前記ソース電極を露出するコンタクトホールを形成する工程と、全面に透明導電膜を形成し、少なくとも前記カラーフィルタに重なる領域を含むように前記ソース電極に電氣的に接続される画素電極を形成する工程と、を有することを特徴とするカラー液晶表示装置の製造方法。

【請求項 6】 透明絶縁性基板に全面に第 1 導電膜を形成し、ゲート電極及びゲートバスラインを形成する工程と、全面にゲート絶縁膜、半導体層、オーミック層、第 2 導電膜を積層し、階段状に形成されたフォトレジストにより前記第 2 導電膜、前記オーミック層、前記半導体層を所要パターンに形成して薄膜トランジスタのアイランド及びドレインバスラインを形成する工程と、さらに前記フォトレジストの薄い膜厚部分をアッシングにより除去した後、前記フォトレジストの残った部分によってチャネル領域に相当する領域の前記第 2 導電膜及び前記オーミック層を除去してドレイン電極及びソース電極を形成する工程と、前記透明絶縁性基板上の所要領域にカラーフィルタを形成する工程と、全面に遮光膜を形成し、少なくとも前記アイランドを覆う領域と前記カラーフィルタを除く領域に前記遮光膜を残してブラックマトリクスを形成する工程と、全面に平坦化膜を形成し、且つ前記ソース電極を露出するコンタクトホールを形成する工程と、全面に透明導電膜を形成し、且つ少なくとも前記カラーフィルタに重なる領域を含むように前記ソース電極に電氣的に接続される画素電極を形成する工程と、を有することを特徴とするカラー液晶表示装置の製造方法。

【請求項 7】 透明絶縁性基板に全面に第 1 導電膜を形成し、ゲート電極及びゲートバスラインを形成する工程と、全面にゲート絶縁膜、半導体層、オーミック層及び第 2 導電膜を積層し、薄膜部分と厚膜部分とからなる階段状のフォトレジストを形成する工程と、このフォトレジストをマスクとして前記第 2 導電膜を所要パターンに形成して薄膜トランジスタのドレイン電極、ソース電極及びドレインバスラインを形成する工程と、前記フォトレジストの前記薄膜部分をアッシングにより除去する工程と、前記フォトレジストの前記厚膜部分を前記ドレイ

ン電極、前記ソース電極及び前記ドレイン電極と前記ソース電極との間の領域を保護する形状にリフローさせる工程と、このリフローされたフォトレジストをマスクとして前記オーミック層、前記半導体層を除去して薄膜トランジスタのアイランドを形成する工程と、前記フォトレジストを除去する工程と、前記ドレイン電極及びソース電極をマスクにして前記ドレイン領域と前記ソース電極との間の領域における前記オーミック層を除去してチャネル領域を形成する工程と、前記透明絶縁性基板上の所要領域にカラーフィルタを形成する工程と、全面に遮光膜を形成し、少なくとも前記アイランドを覆う領域と前記カラーフィルタを除く領域に前記遮光膜を残してブラックマトリクスを形成する工程と、全面に平坦化膜を形成し、前記ソース電極を露出するコンタクトホールを形成する工程と、全面に透明導電膜を形成し、少なくとも前記カラーフィルタに重なる領域を含むように前記ソース電極に電氣的に接続される画素電極を形成する工程と、を有することを特徴とするカラー液晶表示装置の製造方法。

【請求項 8】 前記ドレイン電極及びソース電極を形成した後に、全面に透明な保護絶縁膜を形成する工程を有し、前記保護絶縁膜の上に前記カラーフィルタ及びブラックマトリクスを形成することを特徴とする請求項 6 又は 7 に記載のカラー液晶表示装置の製造方法。

【請求項 9】 前記カラーフィルタは透明着色樹脂を前記透明絶縁性基板上に塗布し、露光、現像して所要のパターンに形成し、前記ブラックマトリクスは黒色樹脂を前記透明絶縁性基板上に塗布し、露光、現像して所要のパターンに形成することを特徴とする請求項 5 乃至 8 のいずれか 1 項に記載のカラー液晶表示装置の製造方法。

【請求項 10】 前記カラーフィルタは透明着色樹脂を前記透明絶縁性基板上に印刷して所要のパターンに形成し、前記ブラックマトリクスは黒色樹脂を前記透明絶縁性基板上に塗布、露光及び現像して所要のパターンに形成するか、又は印刷により所要のパターンに形成することを特徴とする請求項 5 乃至 8 のいずれか 1 項に記載のカラー液晶表示装置の製造方法。

【請求項 11】 前記ブラックマトリクスとして黒色樹脂を塗布、露光及び現像により所要のパターンに形成するか、又は印刷により所要のパターンに形成

した後、前記カラーフィルタをインクジェットにより形成することを特徴とする請求項5乃至8のいずれか1項に記載のカラー液晶表示装置の製造方法。

【請求項12】 前記コンタクトホールを形成する工程において、前記コンタクトホールを形成すると同時に、前記ゲートバスラインの端部を露出するゲート端子部コンタクトホールと、前記ドレインバスラインの端部を露出するドレイン端子部コンタクトホールを形成し、前記透明導電膜を前記両コンタクトホール内に形成することで前記ゲートバスラインに電氣的に接続されるゲート端子及び前記ドレインバスラインに電氣的に接続されるドレイン端子を形成することを特徴とする請求項5乃至11のいずれか1項に記載のカラー液晶表示装置の製造方法。

【請求項13】 前記遮光膜は、前記カラーフィルタの周縁部の少なくとも一部を覆うようにパターン形成されることを特徴とする請求項5乃至12のいずれか1項に記載のカラー液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はカラー液晶パネル等のカラー液晶表示装置及びその製造方法に関し、特に、薄膜トランジスタ（以下、TFTという）、カラーフィルタ及び画素電極を同一基板上に搭載したカラーアクティブマトリクス基板を備えるカラー液晶表示装置及びその製造方法に関する。

【0002】

【従来の技術】

近時、アクティブマトリクス型のカラー液晶表示装置においては、画素電極と、前記画素電極に印加する電圧を制御するためのTFTとがマトリクス状に配置されたアクティブマトリクス基板として、BGR（青・緑・赤）の各カラーフィルタを一体的に搭載したCOT（カラーフィルタ・オン・トランジスタアレイ）基板が用いられている。そして、このCOT基板と、このCOT基板に対向して配置される対向基板との間に液晶を挟み込み、前記画素電極と前記対向基板との間に印加する電圧により前記液晶を駆動し、前記カラーフィルタを透過した色光



によりカラー表示を行っている。

【 0 0 0 3 】

図 1 9 は、従来の C O T 基板の構成の一例を示す断面図であり、特開平 4 - 2 5 3 0 2 8 号公報に記載されている C O T 基板の構成である。図 2 0 は、この従来の C O T 基板の製造方法を示す工程フロー図である。前記 C O T 基板の構成を、図 1 9 及び図 2 0 を参照して説明する。まず、図 2 0 のステップ S 4 0 1 に示すように、透明なガラス基板 4 0 1 の表面にゲート材料としてタンタル (T a) 膜を形成し、第 1 フォトリソグラフィ工程 (以下、P R 工程という) により前記タンタル膜を所要のパターンに形成してゲート電極 4 0 2 及びゲートバスライン (図示せず) を形成する。次いで、ステップ S 4 0 2 に示すように、 $\text{SiN}_x$  からなるゲート絶縁膜 4 0 3 を形成した後、真性 a - S i 膜 (アモルファスシリコン膜) 4 0 4 及びチャネル保護膜 4 0 5 を形成し、第 2 P R 工程により前記チャネル保護膜 4 0 5 を所要のパターンに形成する。次いで、ステップ S 4 0 3 に示すように、 $n^+$  型 a - S i 膜 4 0 6 を形成し、 $n^+$  型 a - S i 膜 4 0 6 及び真性 a - S i 膜 4 0 4 を第 3 P R 工程によりパターン形成してアイランド 4 0 7 を形成する。次いで、ステップ S 4 0 4 に示すように、チタン (T i) 膜 4 0 8 を形成し、第 4 P R 工程により前記チタン膜 4 0 8 を所要のパターンに形成してドレイン電極 4 0 9 及びソース電極 4 1 0、さらにドレインバスライン (図示せず) を形成する。

【 0 0 0 4 】

次いで、ステップ S 4 0 5 に示すように、全面に透明樹脂膜 4 1 1 を形成した上で、第 5 P R 工程によりマスク (図示せず) を所要のパターンに形成し、このマスクを用いて透明樹脂膜 4 1 1 を選択的に赤色に着色して R 色カラーフィルタ 4 1 2 を形成する。同様に、ステップ S 4 0 6 に示すように、第 6 P R 工程により、マスク (図示せず) を用いて透明樹脂膜 4 1 1 の他の領域を選択的に緑色に着色して G 色カラーフィルタ (図示せず) を形成する。また、ステップ S 4 0 7 に示すように、第 7 P R 工程により、マスク (図示せず) を用いて透明樹脂膜 4 1 0 の更に他の領域を選択的に青色に着色して B 色カラーフィルタ 4 1 3 を形成する。次いで、ステップ S 4 0 8 に示すように、第 8 P R 工程により、透明樹脂



膜 4 1 1 に、ソース電極 4 1 0 の一部を露出するコンタクトホール 4 1 4 を開口する。そして、ステップ S 4 0 9 に示すように、全面に透明電極膜として I T O (Indium Tin Oxide) 膜を形成し、第 9 P R 工程により前記 I T O 膜を各カラーフィルタ 4 1 2、4 1 3、…上の領域を含む所要のパターンに形成し、コンタクトホール 4 1 4 を通して前記ソース電極 4 1 0 に電氣的に接続される画素電極 4 1 5 を形成する。さらに、ステップ S 4 1 0 に示すように、画素電極 4 1 5 を利用して、アイランド 4 0 7 を覆う領域における透明樹脂膜 4 1 1 を選択的に黒色に着色し、B M (ブラックマトリクス) 4 1 6 を形成する。その後、図示は省略するが、全面に配向膜を形成し、C O T 基板を完成する。

【 0 0 0 5 】

【発明が解決しようとする課題】

上述のように、従来の C O T 基板においては、T F T を形成する工程として、ゲート電極 4 0 2、ゲート電極上のチャネル保護膜 4 0 5、アイランド 4 0 7、ドレイン・ソースの各電極 4 0 9 及び 4 1 0 を形成するために、第 1 乃至第 4 の P R 工程、即ち、計 4 回の P R 工程が必要とされる。また、R G B 各色のカラーフィルタ 4 1 2、4 1 3、…、画素電極 4 1 5 を形成する工程として、第 5 乃至第 9 の P R 工程、即ち、計 5 回の P R 工程が必要とされる。従って、C O T 基板を製造する全体の工程において P R 工程が 9 回必要であり、製造工程数が多く、アクティブマトリクス型カラー液晶表示装置のコスト高の要因になっている。

【 0 0 0 6 】

本発明はかかる問題点に鑑みてなされたものであって、製造工程数、特に P R 工程数を削減し、低コスト化を実現したカラー液晶表示装置及びその製造方法を提供することを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】

本発明に係る第 1 のカラー液晶表示装置は、透明絶縁性基板上に薄膜トランジスタ、カラーフィルタ、ブラックマトリクス及び画素電極が形成されたカラーアクティブマトリクス基板を含むカラー液晶表示装置において、前記薄膜トランジスタは、ゲート電極、ゲート絶縁膜、半導体層、オーミック層、一対のソース・

ドレイン電極が積層された逆スタガ構造であり、前記半導体層に構成されるチャネル領域上において、前記オーミック層、前記ソース・ドレイン電極及び前記ブラックマトリクスが、前記積層方向から見て同一形状であることを特徴とする。

【 0 0 0 8 】

また、本発明に係る第 2 のカラー液晶表示装置は、透明絶縁性基板上に薄膜トランジスタ、カラーフィルタ、ブラックマトリクス及び画素電極が形成されたカラーアクティブマトリクス基板を含むカラー液晶表示装置において、前記薄膜トランジスタは、ゲート電極、ゲート絶縁膜、半導体層、オーミック層、一对のソース・ドレイン電極が積層された逆スタガ構造であり、前記オーミック層と前記ソース・ドレイン電極は前記積層方向から見て同一形状であることを特徴とする。

【 0 0 0 9 】

前記第 1 及び第 2 のカラー液晶表示装置においては、前記ドレイン電極につながるドレインバスラインは、前記半導体層、前記オーミック層、前記ソース・ドレイン電極を構成する金属膜と同一の金属膜の積層構造であってもよい。また、前記ブラックマトリクスは、前記カラーフィルタの周縁部の少なくとも一部を覆うように形成されることが好ましい。

【 0 0 1 0 】

本発明の第 1 のカラー液晶表示装置によれば、チャネル領域上においてオーミック層、ソース・ドレイン電極、ブラックマトリクスが同一平面形状であるため、これらを 1 回の P R 工程で形成することが可能である。また、本発明の第 2 のカラー液晶表示装置によれば、オーミック層とソース・ドレイン電極は同一平面形状であり、両者を 1 回の P R 工程で形成することが可能である。

【 0 0 1 1 】

なお、逆スタガ構造とは、ゲート電極及びゲート絶縁膜とソース・ドレイン電極との間に半導体層を配置し、且つ、ゲート電極が下部に配置されている構造をいう。薄膜トランジスタを逆スタガ構造とすることにより、ゲート絶縁膜と半導体層を連続して成膜でき、また M O S 界面の清浄化が容易となり、更にソース・ドレイン電極と半導体層との間でオーミック接触が取りやすくなる。

【 0 0 1 2 】

本発明の前記第 1 のカラー液晶表示装置の製造方法は、透明絶縁性基板に全面に第 1 導電膜を形成し、ゲート電極及びゲートバスラインを形成する工程と、全面にゲート絶縁膜、半導体層、オーミック層、第 2 導電膜を積層し、T F T のアイランド及びドレインバスラインを形成する工程と、前記透明絶縁性基板上の所要領域に 3 色のカラーフィルタを形成する工程と、全面に遮光膜を形成し、少なくともチャンネル領域以外の前記アイランドを覆う領域と前記カラーフィルタを除く領域に前記遮光膜を残してブラックマトリクスを形成する工程と、前記アイランドにおいて前記ブラックマトリクスをマスクにして前記チャンネル領域に相当する領域の前記第 2 導電膜及び前記オーミック層を除去してドレイン電極及びソース電極を形成する工程と、全面に平坦化膜を形成し、前記ソース電極を露出するコンタクトホールを開口する工程と、全面に透明導電膜を形成し、少なくとも前記カラーフィルタに重なる領域を含むように前記ソース電極に電氣的に接続される画素電極を形成する工程と、を有することを特徴とする。

【 0 0 1 3 】

また、本発明の前記第 2 のカラー液晶表示装置の製造方法は、透明絶縁性基板に全面に第 1 導電膜を形成し、ゲート電極及びゲートバスラインを形成する工程と、全面にゲート絶縁膜、半導体層、オーミック層、第 2 導電膜を積層し、階段状に形成されたフォトリジストにより前記第 2 導電膜、前記オーミック層、前記半導体層を所要パターンに形成して T F T のアイランド及びドレインバスラインを形成する工程と、さらに前記フォトリジストの薄い膜厚部分をアッシングにより除去した後、前記フォトリジストの残った部分によってチャンネル領域に相当する領域の前記第 2 導電膜及び前記オーミック層を除去してドレイン電極及びソース電極を形成する工程と、前記透明絶縁性基板上の所要領域に 3 色のカラーフィルタを形成する工程と、全面に遮光膜を形成し、少なくとも前記アイランドを覆う領域と前記カラーフィルタを除く領域に前記遮光膜を残してブラックマトリクスを形成する工程と、全面に平坦化膜を形成し、前記ソース電極を露出するコンタクトホールを開口する工程と、全面に透明導電膜を形成し、少なくとも前記カラーフィルタに重なる領域を含むように前記ソース電極に電氣的に接続される画

素電極を形成する工程と、を有することを特徴とする。

【 0 0 1 4 】

また、本発明の前記第 2 のカラー液晶表示装置の他の製造方法は、透明絶縁性基板に全面に第 1 導電膜を形成し、ゲート電極及びゲートバスラインを形成する工程と、全面にゲート絶縁膜、半導体層、オーミック層及び第 2 導電膜を積層し、薄膜部分と厚膜部分とからなる階段状のフォトレジストを形成する工程と、このフォトレジストをマスクとして前記第 2 導電膜を所要パターンに形成して薄膜トランジスタのドレイン電極、ソース電極及びドレインバスラインを形成する工程と、前記フォトレジストの前記薄膜部分をアッシングにより除去する工程と、前記フォトレジストの前記厚膜部分を前記ドレイン電極、前記ソース電極及び前記ドレイン電極と前記ソース電極との間の領域を保護する形状にリフローさせる工程と、このリフローされたフォトレジストをマスクとして前記オーミック層、前記半導体層を除去して薄膜トランジスタのアイランドを形成する工程と、前記フォトレジストを除去する工程と、前記ドレイン電極及びソース電極をマスクにして前記ドレイン領域と前記ソース電極との間の領域における前記オーミック層を除去してチャネル領域を形成する工程と、前記透明絶縁性基板上の所要領域にカラーフィルタを形成する工程と、全面に遮光膜を形成し、少なくとも前記アイランドを覆う領域と前記カラーフィルタを除く領域に前記遮光膜を残してブラックマトリクスを形成する工程と、全面に平坦化膜を形成し、前記ソース電極を露出するコンタクトホールを形成する工程と、全面に透明導電膜を形成し、少なくとも前記カラーフィルタに重なる領域を含むように前記ソース電極に電氣的に接続される画素電極を形成する工程と、を有することを特徴とする。

【 0 0 1 5 】

なお、前記第 2 のカラー液晶表示装置の製造方法においては、前記ドレイン電極及びソース電極を形成した後に、全面に透明な保護絶縁膜を形成する工程を含み、前記保護絶縁膜の上に前記カラーフィルタ及びブラックマトリクスを形成することが好ましい。

【 0 0 1 6 】

本発明の前記第 1 及び第 2 のカラー液晶表示装置の製造方法においては、前記

カラーフィルタは夫々の透明着色樹脂を前記透明絶縁性基板上に塗布し、露光、現像を行って所要のパターンに形成し、前記ブラックマトリクスは黒色樹脂を前記透明絶縁性基板上に塗布し、露光、現像を行って所要のパターンに形成してもよい。また、異なる製造方法として、前記カラーフィルタは透明着色樹脂を前記透明絶縁性基板上に印刷して所要のパターンに形成し、前記ブラックマトリクスは黒色樹脂を前記透明絶縁性基板上に塗布、露光、現像して所要のパターンに形成してもよく、黒色樹脂を印刷することにより所要のパターンに形成してもよい。更に、前記ブラックマトリクスとして黒色樹脂を塗布、露光、現像又は印刷により所要のパターンに形成した後、前記カラーフィルタをインクジェットにより形成してもよい。

## 【 0 0 1 7 】

さらに、本発明の前記第 1 及び第 2 のカラー液晶表示装置の製造方法においては、前記コンタクトホールを開口すると同時に、前記ゲートバスラインの端部を露出するゲート端子部コンタクトホールと、前記ドレインバスラインの端部を露出するドレイン端子部コンタクトホールを形成し、前記透明導電膜の一部により前記ゲートバスラインに電氣的に接続されるゲート端子及び前記ドレインバスラインに電氣的に接続されるドレイン端子を形成してもよい。また、前記遮光膜は、前記カラーフィルタの少なくとも一部の周縁部においては、この周縁部を覆うようにパターン形成して前記ブラックマトリクスを形成することが好ましい。更に、前記 3 色のカラーフィルタは夫々の透明着色樹脂を前記透明絶縁性基板上に塗布し、かつ露光、現像して所要のパターンに形成し、前記ブラックマトリクスは黒色樹脂を前記透明絶縁性基板上に塗布し、かつ露光、現像して所要のパターンに形成してもよい。

## 【 0 0 1 8 】

本発明の製造方法によれば、本発明の前記第 1 及び第 2 のカラー液晶表示装置のいずれも、8 回の P R 工程で製造することが可能になり、P R 工程数の削減に伴う低コスト化が実現できる。また、カラーフィルタ及びブラックマトリクスの形成工程において印刷法又はインクジェット法を用いた場合は、さらに 3 ～ 4 回の P R 工程が省略でき、低コスト化を図ることができる。

## 【 0 0 1 9 】

## 【発明の実施の形態】

以下、本発明の実施例について添付の図面を参照して具体的に説明する。まず、本発明の第 1 の実施例について説明する。図 1 は本実施例に係るアクティブマトリクス型カラー液晶表示装置の C O T 基板の構成を示す一部概略構成図である。透明絶縁性基板 1 0 1 上に、互いに直交する方向に夫々所要の間隔をおいて平行に延在する夫々複数本のゲートバスライン 2 0 1 及びドレインバスライン 2 0 2 と、これらのバスラインで囲まれた領域に形成される画素電極 2 0 3 と、ゲートバスライン 2 0 1 とドレインバスライン 2 0 2 の交差近傍領域に形成される T F T 2 0 0 とで構成されている。

## 【 0 0 2 0 】

図 2 ( a ) 乃至 ( f ) は、本実施例に係るカラー液晶表示装置の構成を示す平面図及び断面図である。図 2 ( a ) はアクティブマトリクス基板の 1 画素相当領域の平面図、( b ) はゲート端子部 2 5 1 の平面図、( c ) はドレイン端子部 2 6 1 の平面図、( d ) 、( e ) 、( f ) は夫々図 2 ( a ) 乃至 ( c ) に示す A A ' 線、B B ' 線、C C ' 線の各断面図である。図 2 ( d ) に示すように、T F T 2 0 0 ( 図 1 参照 ) においては、透明絶縁性基板 1 0 1 上に T i / A l 膜 1 0 2 から構成されるゲート電極が設けられ、このゲート電極上に S i N 膜 1 0 3 から構成されるゲート絶縁膜が設けられ、このゲート絶縁膜上に、このゲート絶縁膜を介して前記ゲート電極に対向するように、真性 a - S i 膜 1 0 4 からなる半導体層が設けられ、この半導体層上に n <sup>+</sup> 型 a - S i 膜 1 0 5 からなるオーミック層が設けられ、この上に C r 膜 1 0 6 からなる一対のソース・ドレイン電極が設けられている。T F T 2 0 0 は逆スタガ構造である。T F T 2 0 0 の上方及び周囲にはブラックマトリクス 2 4 0 が設けられている。また、前記半導体層に構成されるチャネル領域において、平面視で、前記オーミック層、前記ソース・ドレイン電極及び前記ブラックマトリクスは略同一形状である。T F T 2 0 0 、ゲートバスライン 2 0 1 、ドレインバスライン 2 0 2 、R G B の各カラーフィルタ 2 3 0 乃至 2 3 2 の上方には平坦化膜 1 0 7 が設けられ、平坦化膜 1 0 7 上における R G B の各カラーフィルタ 2 3 0 乃至 2 3 2 上に相当する領域には I T O 膜 1



0 8 からなる画素電極 2 0 3 が形成されている。また、平坦化膜 1 0 7 におけるソース電極 2 0 6 の上方にはコンタクトホール 2 2 1 が形成され、コンタクトホール 2 2 1 の内壁に I T O 膜 1 0 8 が形成されている。これにより、画素電極 2 0 3 がコンタクトホール 2 2 1 を介してソース電極 2 0 6 に接続されている。

【 0 0 2 1 】

前記ゲート電極はゲートバスライン 2 0 1 (図 1 参照) に、前記ドレイン電極はドレインバスライン 2 0 2 (図 1 参照) に、前記ソース電極は画素電極 2 0 3 (図 1 参照) に夫々接続されている。また、画素電極 2 0 3 の直下位置には、R G B の各カラーフィルタ 2 3 0 乃至 2 3 2 が所定の配列で形成されている。また、ゲートバスライン 2 0 1 の一端にはゲート端子部 2 5 1 が、ドレインバスライン 2 0 2 の一端又は両端にはドレイン端子部 2 6 1 が夫々形成されている。

【 0 0 2 2 】

図 2 ( b ) 及び ( e ) に示すように、ゲート端子部 2 5 1 においては、透明絶縁性基板 1 0 1 上に T i / A l 膜 1 0 2 、 S i N 膜 1 0 3 及び平坦化膜 1 0 7 がこの順に積層され、S i N 膜 1 0 3 及び平坦化膜 1 0 7 には、ゲート端子部コンタクトホール 2 5 2 が形成され、このゲート端子部コンタクトホール 2 5 2 の内壁には I T O 膜 1 0 8 が形成されている。この I T O 膜 1 0 8 は T i / A l 膜 1 0 2 に接続されることにより、ゲート端子 2 5 0 を構成している。

【 0 0 2 3 】

一方、図 2 ( c ) 及び ( f ) に示すように、ドレイン端子部 2 6 1 においては、透明絶縁性基板 1 0 1 上に真性 a - S i 膜 1 0 4 、  $n^+$  型 a - S i 膜 1 0 5 及び C r 膜 1 0 6 がこの順に積層されている。また、この真性 a - S i 膜 1 0 4 、  $n^+$  型 a - S i 膜 1 0 5 及び C r 膜 1 0 6 の上方及び周囲には、ブラックマトリクス 2 4 0 及び平坦化膜 1 0 7 が積層されている。ブラックマトリクス 2 4 0 及び平坦化膜 1 0 7 には、ドレイン端子部コンタクトホール 2 6 2 が形成され、このドレイン端子部コンタクトホール 2 6 2 の内壁には I T O 膜 1 0 8 が形成されている。この I T O 膜 1 0 8 は C r 膜 1 0 6 に接続されることにより、ゲート端子 2 5 0 を構成している。ゲート端子 2 5 0 及びドレイン端子 2 6 0 は透明絶縁膜基板 1 0 1 の側縁部 (図 1 参照) に沿って配列されている。なお、ゲート端子



250及びドレイン端子260には、駆動回路（ドライバ、図示せず）に接続されているテープ状配線（図示せず）が接続されている。

【0024】

図3は本実施例に係るカラー液晶表示装置の製造方法の工程を示すフロー図である。図3に示すように、本実施例においては、第1乃至第8のPR工程によりCOT基板を製造する。即ち、ステップS101に示す第1PR工程ではゲート電極及びゲートバスラインを形成する。ステップS102に示す第2PR工程では、ゲート絶縁膜上にTFT部のアイランド及びドレインバスラインを形成する。ステップS103乃至S105に示す第3乃至第5PR工程では、画素部にRGBの各カラーフィルタを形成する。ステップS106に示す第6PR工程ではTFTのチャネル領域以外の前記アイランドを覆う領域と前記カラーフィルタを除く領域にブラックマトリクスを形成すると同時にソース・ドレイン電極を形成する。さらに、ステップS107に示す第7PR工程ではソース電極部、ゲート及びドレイン電極部にコンタクトホールを形成する。そして、ステップS108に示す第8PR工程では画素電極を形成する。

【0025】

また、図4乃至8は夫々本実施例に係る液晶表示装置の製造方法における主要な工程を示す平面図及び断面図である。なお、図4乃至8及び図2の各図において、(a)はアクティブマトリクス基板の1画素相当領域の平面図、(b)はゲート端子部の平面図、(c)はドレイン端子部の平面図、(d)、(e)、(f)は夫々AA'線、BB'線、CC'線の各断面図である。以下、図2乃至8を参照して工程順に説明する。

【0026】

先ず、図4(a)乃至(f)に示すように、ガラス等からなる透明絶縁性基板101上に、AlとTiを積層したTi/Al膜102をスパッタ法により0.1～0.3μmの厚さに形成する。そして、第1PR工程において、第1のフォトリソマスク（図示せず）を用いてTi/Al膜102上に第1のフォトレジスト（図示せず）を所要のパターンに露光、現像する。次に、前記第1のフォトレジストをマスクにしてTi/Al膜102をドライエッチングしてゲート電極210

及びゲートバスライン 2 0 1 を形成する。このとき、ゲートバスライン 2 0 1 の端部にはゲート端子部 2 5 1 が形成される。

【 0 0 2 7 】

次いで、図 5 ( a ) 乃至 ( f ) に示すように、全面にゲート絶縁膜としてプラズマ C V D 法により S i N 膜 1 0 3 を  $0.3 \sim 0.6 \mu\text{m}$  の厚さに形成する。また、その上に、半導体層として真性 a - S i 膜 1 0 4 を  $0.05 \sim 0.3 \mu\text{m}$  の厚さに、その上にオーミック層としてリンを含む  $n^+$  型 a - S i 膜 1 0 5 を  $20 \sim 100 \text{ nm}$  の厚さに夫々プラズマ C V D 法により形成する。更に、その上に、C r 膜 1 0 6 を  $0.1 \sim 0.3 \mu\text{m}$  程度にスパッタ法により形成する。そして、第 2 P R 工程において、全面に第 2 のフォトマスク ( 図示せず ) を用いて、第 2 のフォトレジスト ( 図示せず ) を所要のパターンに露光、現像し、前記第 2 のフォトレジストをマスクにして前記 C r 膜 1 0 6 をウェットエッチングし、 $n^+$  型 a - S i 膜 1 0 5 及び真性 a - S i 膜 1 0 4 を順次ドライエッチングし、ゲート電極 2 1 0 上にゲート絶縁膜 ( S i N 膜 1 0 3 ) を介してアイランド 2 2 0 を形成し、かつ同時にドレインバスライン 2 0 2 を形成する。このとき、ドレインバスライン 2 0 2 の端部にはドレイン端子部 2 6 1 が形成される。アイランド 2 2 0 及びドレインバスライン 2 0 2 は、真性 a - S i 膜 1 0 4 、 $n^+$  型 a - S i 膜 1 0 5 及び C r 膜 1 0 6 がこの順に積層されて構成されている。

【 0 0 2 8 】

次いで、図 6 ( a ) 乃至 ( f ) に示すように、全面に赤色の感光性アクリル樹脂を  $1.8 \mu\text{m}$  の厚さに塗布、焼成し、第 3 P R 工程において第 3 のフォトマスク ( 図示せず ) を用いて所要パターンに露光、現像を行い、ゲートバスライン 2 0 1 とドレインバスライン 2 0 2 とで囲まれた領域のうち、選択された領域にのみ前記 R 色感光性アクリル樹脂を残し、R 色カラーフィルタ 2 3 0 を形成する。同様に、全面に緑色の感光性アクリル樹脂を R 色カラーフィルタ 2 3 0 と同じ厚さに塗布、焼成し、第 4 P R 工程において第 4 のフォトマスク ( 図示せず ) を用いて所要パターンに露光、現像を行い、ゲートバスライン 2 0 1 とドレインバスライン 2 0 2 とで囲まれた領域のうち、R 色カラーフィルタ 2 3 0 とは異なる他の選択された領域にのみ前記 G 色透明樹脂を残し、G 色カラーフィルタ 2 3 1 を

形成する。さらに、全面に青色の感光性アクリル樹脂を R 色カラーフィルタ 2 3 0 と同じ厚さに塗布、焼成し、第 5 P R 工程において第 5 のフォトマスク（図示せず）を用いて所要パターンに露光、現像を行い、ゲートバスライン 2 0 1 とドレインバスライン 2 0 2 とで囲まれた領域のうち、前記 R 色カラーフィルタ及び G 色カラーフィルタとは異なる他の残された領域にのみ前記 B 色透明樹脂を残し、B 色カラーフィルタ 2 3 2 を形成する。なお、各色のカラーフィルタ 2 3 0、2 3 1 及び 2 3 2 の配置は、例えば、図 1 に示す配列の繰り返しとなる。

## 【 0 0 2 9 】

次いで、図 7 (a) 乃至 (f) に示すように、全面に光を透過しない黒色の感光性アクリル樹脂を  $1.0\ \mu\text{m}$  の厚さに塗布、焼成し、第 6 P R 工程において第 6 のフォトマスク（図示せず）を用いて露光、現像を行い、R G B の各色カラーフィルタ 2 3 0 乃至 2 3 2 以外の領域、即ち、アイランド 2 2 0（図 6 (d) 参照）上、ゲートバスライン 2 0 1（図 5 (a) 参照）上、ドレインバスライン 2 0 2（図 5 (a) 参照）上を夫々覆う領域にのみ前記黒色の感光性アクリル樹脂を形成する。これにより、前記黒色の感光性アクリル樹脂によりブラックマトリクス 2 4 0 が形成され、前記 R G B 色の各カラーフィルタ 2 3 0 ～ 2 3 2 を除く領域が覆われて遮光される。また、このとき、アイランド 2 2 0 上においては、アイランド 2 2 0 のほぼ中央部のチャネル領域においてブラックマトリクス 2 4 0 の一部を除去する。また、ゲート端子部 2 5 1 においてもブラックマトリクス 2 4 0 を除去する。なお、ドレイン端子部 2 6 1 においては、ブラックマトリクス 2 4 0 はドレインバスライン 2 0 2 を覆うように形成されている。

## 【 0 0 3 0 】

次に、ブラックマトリクス 2 4 0 をマスクにして、その直下の C r 膜 1 0 6 をウェットエッチング及びドライエッチングし、さらに  $n^+$  型 a - S i 膜 1 0 5 をドライエッチングする。これらのエッチングにより、アイランド 2 2 0（図 6 (d) 参照）においては、C r 膜 1 0 6 が分離され、ドレイン電極 2 0 5 及びソース電極 2 0 6 が形成されると共に、各電極 2 0 5、2 0 6 の直下に  $n^+$  型 a - S i 膜 1 0 5 のオーミック層が形成される。これにより、T F T 2 0 0 が形成される。

## 【 0 0 3 1 】

次いで、図 8 ( a ) 乃至 ( f ) に示すように、全面に平坦化膜 1 0 7 として、無色透明な感光性アクリル樹脂を色層の上から 2 . 5 ~ 3 . 0  $\mu$  m の厚さに塗布、焼成する。そして、第 7 P R 工程において、第 7 のフォトマスク ( 図示せず ) を用いて露光、現像を行い、ソース電極 2 0 6 ( 図 7 ( d ) 参照 ) 上の一部、ゲート端子部 2 5 1 上の一部、ドレイン端子部 2 6 1 上の一部を夫々開口する。さらに、平坦化膜 1 0 7 をマスクにして、ブラックマトリクス 2 4 0 をドライエッチングする。さらに、ゲート端子部 2 5 1 において、ゲート絶縁膜を構成している S i N 膜 1 0 3 をドライエッチングする。これにより、前記アイランド 2 2 0 においてはコンタクトホール 2 2 1 が開口されて前記ソース電極 2 0 6 を構成している C r 膜 1 0 6 の表面が露出され、前記ゲート端子部 2 5 1 ではゲート端子部コンタクトホール 2 5 2 が開口されて前記ゲートバスライン 2 0 1 の一部である T i / A l 膜 1 0 2 が露出され、前記ドレイン端子部 2 6 1 ではドレイン端子部コンタクトホール 2 6 2 が開口されて前記ドレインバスライン 2 0 2 を構成している C r 膜 1 0 6 の表面が露出される。

## 【 0 0 3 2 】

次いで、図 2 ( a ) 乃至 ( f ) に示すように、全面に透明電極膜として I T O 膜 1 0 8 をスパッタ法により 3 0 ~ 1 0 0 n m の厚さに形成する。そして、第 8 P R 工程において、I T O 膜 1 0 8 上に第 8 のフォトマスク ( 図示せず ) を用いて第 8 のフォトレジスト ( 図示せず ) を所要のパターンに露光、現像した後、前記第 8 のフォトレジストをマスクにして I T O 膜 1 0 8 をウェットエッチングする。これにより、R G B の各色のカラーフィルタ 2 3 0 ~ 2 3 2 上には、I T O 膜 1 0 8 からなる画素電極 2 0 3 が形成されるとともに、この画素電極 2 0 3 はその一部においてコンタクトホール 2 2 1 を介してソース電極 2 0 6 に電氣的に接続される。また、I T O 膜 1 0 8 は、ゲート端子部 2 5 1 では、ゲート端子部コンタクトホール 2 5 2 を介して前記 T i / A l 膜 1 0 2 に電氣的に接続されたゲート端子 2 5 0 が形成される。同様に、ドレイン端子部 2 6 1 では、ドレイン端子部コンタクトホール 2 6 2 を介して C r 膜 1 0 6 に電氣的に接続され、ドレイン端子 2 6 0 が形成される。なお、セル工程でのギャップ制御を容易にするた

め、この後、無色透明な感光性アクリル樹脂を塗布、焼成し、第9PR工程において第9のフォトマスク（図示せず）を用いて露光、現像を行い、柱を形成してもよい。

#### 【0033】

その後、図示は省略するが、表面に配向膜を形成してCOT基板を形成した上で、共通電極、配向膜等が形成された対向基板を微小間隔で対向配置して一体化し、前記COT基板と前記対向基板との間に液晶を充填しかつ封止することでカラー液晶表示装置が完成される。また、前記ゲート端子、ドレイン端子には夫々ドライバ回路が電氣的に接続される。

#### 【0034】

このように、本発明の第1の実施例においては、第1乃至第8のPR工程（柱を形成する場合には第9のPR工程）により、カラー構成のアクティブマトリクス基板を製造することが可能になる。これにより、従来の9PR工程の製造方法と比較して1PR工程の削減が実現でき、低コストなカラー液晶表示装置を提供することが可能になる。

#### 【0035】

なお、本実施例においては第2PR工程においてD/I（ドレイン・アイランド）一括エッチングを行っている。一般にD/I一括エッチングをTFT基板の製造において用いた場合は、アイランド部の段差が大きくなることにより、特にIPS（インプレインスイッチング：in plane switching）方式のような横電界により液晶駆動を行う場合において、液晶分子の配向制御が難しくなるという問題点が生じる。また、パッシベーション膜のカバレッジが劣化するため、ソース・ドレイン電極の構成材料が液晶中に溶出し、液晶表示装置の動作中に表示シミを誘発しやすくなるという問題点が生じる。しかしながら、本実施例においては、前記アイランド部の段差をブラックマトリクス240及び平坦化膜107により覆っているため、前述の問題点を抑制することが可能である。この結果、液晶表示装置の配向制御性及び信頼性が向上する。

#### 【0036】

また、本発明の第1の実施例の液晶表示装置では、RGBの各色カラーフィル

タの周縁部を覆うようにブラックマトリクスが形成されるため、各カラーフィルタの周縁部の境界をブラックマトリクスによって明確にでき、鮮明な画像を表示する上で有効なものになる。ただし、本実施例では、TFTのチャネル上のブラックマトリクスを除去しているため、対向基板側にもブラックマトリクスを形成する必要がある。

### 【 0 0 3 7 】

次に、本発明の第2の実施例について説明する。本実施例に係るアクティブマトリクス型カラー液晶表示装置のCOT基板の全体構成は図1に示すCOT基板の構成と同じである。図9(a)乃至(f)は、本実施例に係るカラー液晶表示装置の構成を示す平面図及び断面図である。図9(a)はアクティブマトリクス基板の1画素相当領域の平面図、(b)はゲート端子部251の平面図、(c)はドレイン端子部261の平面図、(d)、(e)、(f)は夫々図9(a)乃至(c)に示すAA'線、BB'線、CC'線の各断面図である。図9(d)に示すように、TFT200においては、透明絶縁性基板101上にTi/Al膜102から構成されるゲート電極が設けられ、このゲート電極上にSiN膜103から構成されるゲート絶縁膜が設けられ、このゲート絶縁膜上に、このゲート絶縁膜を介して前記ゲート電極に対向するように、真性a-Si膜104からなる半導体層が設けられ、この半導体層上にn<sup>+</sup>型a-Si膜(図示せず)からなるオーミック層が設けられ、この上にCr膜106からなる一対のソース・ドレイン電極が設けられている。TFT200の上方及び周囲にはパッシベーション膜109が設けられ、このパッシベーション膜109上にはブラックマトリクス240又はカラーフィルタ230乃至232が設けられている。また、前記半導体層に構成されるチャネル領域において、平面視で、前記オーミック層と前記ソース・ドレイン電極とは略同一形状である。TFT200、ゲートバスライン201、ドレインバスライン202、RGBの各カラーフィルタ230乃至232及びブラックマトリクス240の上方には平坦化膜107が設けられ、平坦化膜107上におけるRGBの各カラーフィルタ230乃至232上に相当する領域にはITO膜108からなる画素電極203が形成されている。また、平坦化膜107におけるソース電極206の上方にはコンタクトホール221が形成され



、コンタクトホール 2 2 1 の内壁に I T O 膜 1 0 8 が形成されている。これにより、画素電極 2 0 3 がコンタクトホール 2 2 1 を介してソース電極 2 0 6 に接続されている。

【 0 0 3 8 】

前記ゲート電極はゲートバスライン 2 0 1 (図 1 参照) に、前記ドレイン電極はドレインバスライン 2 0 2 (図 1 参照) に、前記ソース電極は画素電極 2 0 3 に夫々接続されている。また、ゲートバスライン 2 0 1 の一端にはゲート端子部 2 5 1 が、ドレインバスライン 2 0 2 の一端又は両端にはドレイン端子部 2 6 1 が夫々形成されている。

【 0 0 3 9 】

図 9 (b) 及び (e) に示すように、ゲート端子部 2 5 1 においては、透明絶縁性基板 1 0 1 上に T i / A l 膜 1 0 2、S i N 膜 1 0 3、パッシベーション膜 1 0 9 及び平坦化膜 1 0 7 がこの順に積層されている。S i N 膜 1 0 3、パッシベーション膜 1 0 9 及び平坦化膜 1 0 7 には、ゲート端子部コンタクトホール 2 5 2 が形成され、このゲート端子部コンタクトホール 2 5 2 の内壁には I T O 膜 1 0 8 が形成されている。この I T O 膜 1 0 8 は T i / A l 膜 1 0 2 に接続されることにより、ゲート端子 2 5 0 を構成している。

【 0 0 4 0 】

一方、図 9 (c) 及び (f) に示すように、ドレイン端子部 2 6 1 においては、透明絶縁性基板 1 0 1 上に S i N 膜 1 0 3 が形成され、その上に真性 a - S i 膜 1 0 4、 $n^+$  型 a - S i 膜 1 0 5 及び C r 膜 1 0 6 がこの順に積層されてドレインバスライン 2 0 2 を構成している。また、このドレインバスライン 2 0 2 の上方及び周囲には、パッシベーション膜 1 0 9 及び平坦化膜 1 0 7 が積層されている。パッシベーション膜 1 0 9 及び平坦化膜 1 0 7 には、ドレイン端子部コンタクトホール 2 6 2 が形成され、このドレイン端子部コンタクトホール 2 6 2 の内壁には I T O 膜 1 0 8 が形成されている。この I T O 膜 1 0 8 は C r 膜 1 0 6 に接続されることにより、ドレイン端子 2 6 0 を構成している。ゲート端子 2 5 0 及びドレイン端子 2 6 0 は透明絶縁膜基板 1 0 1 の側縁部 (図 1 参照) に沿って配列されている。なお、ゲート端子 2 5 0 及びドレイン端子 2 6 0 には、駆動



回路（ドライバ、図示せず）に接続されているテープ状配線（図示せず）が接続されている。

【 0 0 4 1 】

図 1 0 は本発明の第 2 の実施例に係る液晶表示装置の製造方法を示す工程フロー図である。図 1 0 に示すように、第 2 の実施例においても、前述の第 1 の実施例と同様に、第 1 乃至第 8 の P R 工程で C O T 基板を製造する。即ち、ステップ S 2 0 1 に示す第 1 P R 工程ではゲート電極及びゲートバスラインを形成する。ステップ S 2 0 2 に示す第 2 P R 工程では、ゲート絶縁膜上に T F T 部のアイランドを形成した上で、後述するハーフトーン露光法又は二回露光法を利用して、ソース電極、ドレイン電極及びドレインバスラインを形成する。ステップ S 2 0 3 乃至 S 2 0 5 に示す第 3 P R 工程乃至第 5 P R 工程では、画素部に R G B の各カラーフィルタを形成する。ステップ S 2 0 6 に示す第 6 P R 工程では前記アイランドを覆い、且つ前記カラーフィルタを除く領域にブラックマトリクスを形成する。さらに、ステップ S 2 0 7 に示す第 7 P R 工程ではソース電極部、ゲート及びドレイン端子部にコンタクトホールを形成する。そして、ステップ S 2 0 8 に示す第 8 P R 工程では画素電極を形成する。

【 0 0 4 2 】

また、図 1 1 乃至 1 5 は夫々本実施例に係る液晶表示装置の製造方法における主要な工程を示す平面図及び断面図である。図 1 1、1 2、1 4、1 5、1 6 及び 9 の各図において、（a）はアクティブマトリクス基板の 1 画素相当領域の平面図、（b）はゲート端子部の平面図、（c）はドレイン端子部の平面図、（d）、（e）、（f）は夫々 A A' 線、B B' 線、C C' 線の各断面図である。以下、図 9 乃至 1 6 を参照して本実施例の製造方法を工程順に説明する。なお、前述の第 1 の実施例と等価な部分には同一符号を付してある。

【 0 0 4 3 】

先ず、図 1 1 （a）乃至（f）に示すように、ガラス等からなる透明絶縁性基板 1 0 1 上に A l と T i を積層した T i / A l 膜 1 0 2 をスパッタ法により 0. 1 ～ 0. 3 μ m の厚さに形成し、フォトリソ（図示せず）を用いた第 1 P R 工程により T i / A l 膜 1 0 2 を所要のパターンに形成してゲート電極 2 1 0 及



びゲートバスライン201を形成する。このとき、ゲートバスライン201の端部にはゲート端子部251が形成される。

#### 【0044】

次いで、図12(a)乃至(f)に示すように、透明絶縁性基板101及びTi/Al膜102上の全面に、ゲート絶縁膜としてプラズマCVD法によりSiN膜103を0.3~0.6 $\mu$ mの厚さに形成する。引き続き、その上に、真性a-Si膜104を0.05~0.3 $\mu$ mの厚さに、 $n^+$ 型a-Si膜105を20~100nmの厚さに順次積層し、さらにその上にスパッタ法によりCr膜106を0.1~0.3 $\mu$ m程度の厚さに形成する。そして、第2PR工程において、後述するフォトレジストを用いたハーフトーン露光法により、Cr膜106、 $n^+$ 型a-Si膜105、真性a-Si膜104をエッチングし、ゲート電極210上に積層構造の真性a-Si膜104及び $n^+$ 型a-Si膜105からなるアイランド220と、Cr膜106からなるドレイン電極205とソース電極206を形成する。また、前記ドレイン電極205につながるドレインバスライン202を形成する。このとき、ドレインバスライン202の端部には、前記積層構造の真性a-Si膜104及び $n^+$ 型a-Si膜105とCr膜106とからなるドレイン端子部261が形成される。

#### 【0045】

次に、ハーフトーン露光法について説明する。図13(a)乃至(c)は、ハーフトーン露光法によるアイランド220の形成工程をその工程順に示す断面図である。フォトレジスト222を露光するためのフォトマスク(図示せず)は、ドレインバスライン202(図12(a)参照)に相当する領域は光をほぼ完全に遮断するフルマスク部として形成されるが、アイランド220に形成するTFT200のチャネル領域200aに相当する部分はハーフトーン部として構成されている。前記ハーフトーン部は、図示は省略するが、露光機の解像度限界以下の微細な遮光パターンが適宜な間隔をおいて配列された構成である。又は、前記ハーフトーン部は光透過率の低い材料により構成されている。そのため、フォトレジスト222としてポジ型フォトレジストを用いたときには、前記ハーフトーン部ではフォトレジストに対して微少な光量での露光が行われることになり、こ

のフォトレジスト 2 2 2 を現像したときには、前記ハーフトーン部に対応する領域 2 2 2 b のフォトレジスト 2 2 2 の膜厚はフルマスク部に対応する領域 2 2 2 a の膜厚よりも薄くなる。したがって、前記フォトマスクを用いてハーフトーン露光し、かつ現像した前記フォトレジストは、図 1 3 (a) に示すようにフルマスク部で露光した膜厚の厚い領域 2 2 2 a と、ハーフトーン部で露光した膜厚の薄い領域 2 2 2 b が混在する階段状の断面構造となる。

【 0 0 4 6 】

そして、このフォトレジスト 2 2 2 を用いて Cr 膜 1 0 6 をウェットエッチングし、 $n^+$  型 a - Si 膜 1 0 5、真性 a - Si 膜 1 0 4 を順次ドライエッチングすることにより、図 1 3 (b) に示すように、積層構造をしたアイランド 2 2 0 と、ドレインバスライン 2 0 2 (図 1 2 (a) 参照) がパターン形成される。

【 0 0 4 7 】

次いで、フォトレジスト 2 2 2 を  $O_2$  アッシングして表面側から膜厚を低減すると、図 1 3 (b) に示すように、フォトレジスト 2 2 2 は、チャネル領域に相当するハーフトーン部に対応して薄く形成されている領域 2 2 2 b においては完全に除去され、下側の Cr 膜 1 0 6 が露出される。なお、前記アッシングによりフォトレジスト 2 2 2 の厚く形成されていた領域 2 2 2 a は薄くされるが、依然として Cr 膜 1 0 6 上にマスクとして残されている。次いで、この残されているフォトレジスト 2 2 2 を用いて Cr 膜 1 0 6 をウェットエッチング及びドライエッチングし、さらに  $n^+$  型 a - Si 膜 1 0 5 をドライエッチングすることにより、図 1 3 (c) に示すように、Cr 膜 1 0 6 からなるドレイン電極 2 0 5 及びソース電極 2 0 6 と、その直下の  $n^+$  型 a - Si 膜 1 0 5 からなるオーミック層が形成され、TFT 2 0 0 が形成される。即ち、1 PR 工程で、TFT 2 0 0 とドレインバスライン 2 0 2 が形成されることになる。

【 0 0 4 8 】

次いで、図 1 4 (a) 乃至 (f) に示すように、プラズマ CVD 法により全面に  $SiN_x$  からなる保護絶縁膜 (パッシベーション膜) 1 0 9 を 0.1 ~ 0.3  $\mu m$  の厚さに形成する。次に、前記第 1 の実施例と同様に、透明絶縁性基板 1 0 1 の表面上に、赤色の透明樹脂膜を 0.8  $\mu m$  の厚さに形成し、第 3 PR 工程に

において所要のパターンに形成してR色カラーフィルタ230を形成する。同様に、緑色の透明樹脂膜をR色カラーフィルタ230と同じ厚さに形成し、第4PR工程において所要のパターンに形成してG色カラーフィルタ231を形成する。さらに、青色の透明樹脂膜をR色カラーフィルタ230及びG色カラーフィルタ231と同じ厚さに形成し、第5PR工程において所要のパターンに形成してB色カラーフィルタ232を形成する。各色のカラーフィルタ230乃至232の配置パターンは図1に示すとおりである。

## 【0049】

そして、図15(a)乃至(f)に示すように、光を遮光する黒色の樹脂膜を形成し、第6PR工程において、前記RGBの各カラーフィルタ領域を除く領域と、ソース電極206(図13(c)参照)の上方を除く領域を覆うようにパターン形成し、ブラックマトリクス240を形成する。なお、ブラックマトリクス240はカラーフィルタ230乃至232を形成する前に形成してもよい。

## 【0050】

次いで、図16(a)乃至(f)に示すように、全面に平坦化膜107として、無色透明な感光性アクリル樹脂を2.5~3.0 $\mu$ mの厚さに形成した後、第7PR工程において、平坦化膜107及びパッシベーション膜109を順次選択エッチングし、ソース電極206を露出するコンタクトホール221を開口する。また、同時に前記ゲート端子部251においては平坦化膜107、パッシベーション膜109及びゲート絶縁膜103を順次選択エッチングし、ゲート端子部251におけるTi/Al膜102を露出するゲート端子部コンタクトホール252を開口する。また、ドレイン端子部261においては、平坦化膜107及びパッシベーション膜109を順次選択エッチングし、ドレイン端子部261におけるCr膜106を露出するドレイン端子部コンタクトホール262を開口する。なお、これらの端子領域には平坦化膜107を残さないようにしてもよい。

## 【0051】

そして、図9(a)乃至(f)に示すように、全面に透明電極膜としてスパッタ法によりITO膜108を30~100nmの厚さに形成し、第8PR工程により、前記ITO膜108を各カラーフィルタ230~232上の領域を含む所

要のパターンに形成し、コンタクトホール 2 2 1 を通してソース電極 2 0 6 に電氣的に接続される画素電極 2 0 3 を形成する。また、同時に、ITO 膜 1 0 8 により、ゲート端子部コンタクトホール 2 5 2 を含む領域にゲートバスライン 2 0 1 に電氣的に接続されたゲート端子 2 5 0 を形成するとともに、ドレイン端子部コンタクトホール 2 6 2 を含む領域にドレインバスライン 2 0 2 に電氣的に接続されたドレイン端子 2 6 0 を形成する。なお、セル工程でのギャップ制御を容易にするため、第 9 P R 工程において、さらに無色透明の感光性アクリル樹脂により柱を形成してもよい。また、第 2 P R 工程ではハーフトーン露光法を用いる方法について述べたが、この工程においては、露光量を変え、2 回露光を行う方法を用いてもよい。この場合、露光工程のみ 1 回増え、マスクも 1 枚増えるが、ハーフトーン露光法に比べプロセスの制御が容易にできるという利点がある。

【 0 0 5 2 】

その後は、図示は省略するが、表面に配向膜を形成して C O T 基板を形成した後、共通電極、配向膜等が形成された対向基板を微小間隔で前記 C O T 基板に対して対向配置して一体化し、前記 C O T 基板と前記対向基板との間に液晶を充填しかつ封止することによりカラー液晶表示装置が完成する。また、前記ゲート端子、ドレイン端子には夫々ドライバ回路が電氣的に接続される。

【 0 0 5 3 】

以上のように、本発明の第 2 の実施例においても、第 1 乃至第 8 の P R 工程によりカラー構成のアクティブマトリクス基板を製造することが可能になる。これにより、従来の 9 P R 工程の製造方法に比較して、1 P R 工程の削減が実現でき、低コストなカラー液晶表示装置を提供することが可能になる。また、ブラックマトリクスを従来例のように画素電極をマスクとした染色により形成したり、R G B 3 色の色重ねにより形成すれば、さらに 1 P R 工程の削減が実現できる。

【 0 0 5 4 】

なお、本実施例においても、前述の第 1 の実施例と同様に第 2 P R 工程において D / I (ドレイン・アイランド) 一括エッチングを行っている。一般に D / I 一括エッチングを T F T 基板の製造において用いた場合は、アイランド部の段差が大きくなることにより、特に I P S (インプレインスイッチング : in plane s

witching) 方式のような横電界により液晶駆動を行う場合において、液晶分子の配向制御が難しくなるという問題点がある。また、パッシベーション膜のカバレッジが劣化するため、ソース・ドレイン電極の構成材料が液晶中に溶出し、液晶表示装置の動作中に表示シミを誘発しやすくなるという問題点が生じる。しかしながら、本実施例においては、前記アイランド部の段差をパッシベーション膜 109、ブラックマトリクス 240 及び平坦化膜 107 により覆っているため、この段差を低減することができ、前述の問題点を抑制することが可能である。この結果、液晶表示装置の配向制御性及び信頼性が向上する。

#### 【0055】

また、本実施例においては、ブラックマトリクスを構成するアクリルの種類として、積層構造の a-Si 膜に対してブラックマトリクスが接触しても積層構造の a-Si 膜を汚染するおそれがない種類のアクリルを用いた場合には、a-Si 膜の汚染を防止するために設けているパッシベーション膜を省略することが可能であり、PR 工程以外の工程数を削減することができる。

#### 【0056】

更に、本発明の第 2 の実施例に係る液晶表示装置においても、RGB の各色カラーフィルタの周縁部を覆うようにブラックマトリクスが形成されるため、各カラーフィルタの周縁部の境界をブラックマトリクスによって明確にでき、鮮明な画像を表示する上で有効なものになる。

#### 【0057】

次に、本発明の第 3 の実施例について説明する。本実施例に係る液晶表示装置の構成は、前述の第 2 の実施例に係る液晶表示装置の構成と同一である。図 17 は本実施例に係る液晶表示装置の製造方法を示す工程フロー図である。図 17 に示すように、第 3 の実施例においても、前述の第 1 及び第 2 の実施例と同様に、第 1 乃至第 8 の PR 工程で COT 基板を製造する。即ち、ステップ S301 に示す第 1 PR 工程ではゲート電極及びゲートバスラインを形成する。ステップ S302 に示す第 2 PR 工程では、オーミック層の上にソース電極、ドレイン電極及びドレインバスラインを形成した後、後述するハーフトーン露光法又は二回露光法とリフロー法とを利用してアイランドを形成する。ステップ S303 乃至 S3



05に示す第3乃至第5PR工程では、画素部にRGBの各カラーフィルタを形成する。ステップS306に示す第6PR工程では前記アイランドを覆い且つ前記カラーフィルタを除く領域にブラックマトリクスを形成する。更に、ステップS307に示す第7PR工程ではソース電極部、ゲート及びドレイン端子部に夫々コンタクトホールを形成する。そして、ステップS308に示す第8PR工程では画素電極を形成する。

【0058】

また、図9及び図11乃至16は、前述の第2の実施例と同様に、第3の実施例に係る液晶表示装置の製造方法の主要な工程を示す平面図及び断面図である。以下、図17並びに図9及び図11乃至16を参照して本実施例の製造方法をその工程順に説明する。

【0059】

先ず、図11(a)乃至(f)に示すように、ガラス等からなる透明絶縁性基板101上にAlとTiを積層したTi/Al膜102をスパッタ法により0.1~0.3 $\mu$ mの厚さに形成する。次に、フォトリジスト（図示せず）を使用する第1PR工程により、Ti/Al膜102を所要のパターンに形成してゲート電極210及びゲートバスライン201を形成する。このとき、ゲートバスライン201の端部にはゲート端子部251が形成される。

【0060】

次いで、図12(a)乃至(f)に示すように、透明絶縁性基板101上の全面にゲート絶縁膜としてプラズマCVD法によりSiN膜103を0.3~0.6 $\mu$ mの厚さに形成する。引き続き、その上に、真性a-Si膜104を0.05~0.3 $\mu$ mの厚さに、 $n^+$ 型a-Si膜105を20~100nmの厚さに順次積層し、さらにその上にスパッタ法によりCr膜106を0.1~0.3 $\mu$ m程度の厚さに形成する。そして、第2PR工程において、後述するフォトリジストを使用するハーフトーン露光法及びリフロー法により、Cr膜106、 $n^+$ 型a-Si膜105、真性a-Si膜104をエッチングし、ゲート電極210上に前記積層構造の $n^+$ 型a-Si膜105及び真性a-Si膜104からなるアイランド220と、Cr膜106からなるドレイン電極205及びソース電極



2 0 6 と、前記ドレイン電極 2 0 5 につながるドレインバスライン 2 0 2 とを形成する。このとき、ドレインバスライン 2 0 2 の端部には、真性 a - S i 膜 1 0 4、 $n^+$  型 a - S i 膜 1 0 5 及び C r 膜 1 0 6 からなるドレイン端子部 2 6 1 が形成される。

#### 【 0 0 6 1 】

図 1 8 はハーフトーン露光法及びリフロー法によるアイランド 2 2 0、ドレイン電極 2 0 5 及びソース電極 2 0 6 の形成工程を示す断面図を示す。フォトレジスト 2 2 2 を露光するためのフォトマスク（図示せず）は、アイランド 2 2 0 に形成する T F T 2 0 0 のチャネル領域 2 0 0 a を除くアイランド 2 2 0 の中央の領域に相当する領域は、光をほぼ完全に遮断するフルマスク部として形成し、前記フルマスク領域以外のアイランド 2 2 0 部分と、ドレインバスライン 2 0 2 に相当する領域はハーフトーン部として形成する。前記ハーフトーン部は、図示は省略するが、露光機の解像度限界以下の微細な遮光パターンが適宜な間隔をおいて配列された構成である。又は、前記ハーフトーン部は光透過率の低い材料で構成されている。そのため、フォトレジスト 2 2 2 としてポジ型フォトレジストを使用するときには、前記ハーフトーン部ではフォトレジスト 2 2 2 に対して微少な光量での露光が行われることになり、露光後のフォトレジスト 2 2 2 を現像すると、前記ハーフトーン部に対応する領域 2 2 2 b のフォトレジスト 2 2 2 の膜厚はフルマスク部に対応する領域 2 2 2 a の膜厚よりも薄くなる。従って、前記フォトマスクを使用してハーフトーン露光し、かつ現像したフォトレジスト 2 2 2 の断面構造は、図 1 8 （ a ） に示すように、前記フォトマスクにおけるフルマスク部で露光した膜厚の厚い領域 2 2 2 a と、ハーフトーン部で露光した膜厚の薄い領域 2 2 2 b とが混在する階段状の断面構造となる。

#### 【 0 0 6 2 】

そして、このフォトレジスト 2 2 2 を使用して C r 膜 1 0 6 をウェットエッチングすることにより、図 1 8 （ b ） に示すように、C r 膜 1 0 6 からなるドレイン電極 2 0 5、ソース電極 2 0 6 及びドレインバスライン 2 0 2 がパターン形成される。

#### 【 0 0 6 3 】

次いで、フォトレジスト 2 2 2 を  $O_2$  アッシングして表面側から膜厚を低減すると、図 1 8 (b) に示すように、フォトレジスト 2 2 2 は、前記ハーフトーン部に対応して薄く形成されている領域 2 2 2 b においては完全に除去され、下側の Cr 膜 1 0 6 が露出される。なお、前記アッシングによりフォトレジスト 2 2 2 における厚く形成された領域 2 2 2 a の膜厚は薄くなるが、依然として Cr 膜 1 0 6 上にマスクとして残されている。

【 0 0 6 4 】

次に、この残されているフォトレジスト 2 2 2 に例えば NMP (N-メチル-2-ピロリドン) のような有機溶剤の蒸気を浸透させてフォトレジスト 2 2 2 を変形させる有機溶剤リフロー法を使用することにより、図 1 8 (c) に示すようにチャネル領域 2 0 0 a を被うように前記フォトレジスト 2 2 2 を変形させる。次いで、この変形させたフォトレジスト 2 2 2 及び表面に残った Cr 膜 1 0 6 をマスクとして、 $n^+$  型 a-Si 膜 1 0 5、真性 a-Si 膜 1 0 4 をドライエッチングすることによりアイランド 2 2 0 を形成する。その後、フォトレジスト 2 2 2 を除去し、残された Cr 膜 1 0 6 をマスクとしてチャネル領域 2 0 0 a の上方に存在する  $n^+$  型 a-Si 膜 1 0 5 をドライエッチングして除去することにより、ドレイン電極 2 0 5 及びソース電極 2 0 6 の直下に  $n^+$  型 a-Si 膜 1 0 5 からなるオーミック層が形成され、図 1 8 (d) に示すように TFT 2 0 0 が形成される。即ち、1 PR 工程で、TFT 2 0 0 とドレインバスライン 2 0 2 が形成されることに加え、第 2 の実施例と比べてエッチング工程が削減できる。

【 0 0 6 5 】

次いで、図 1 4 (a) 乃至 (f) に示すように、プラズマ CVD 法により全面に  $SiN_x$  からなる保護絶縁膜 (パッシベーション膜) 1 0 9 を 0.1 ~ 0.3  $\mu m$  の厚さに形成する。その後、前記第 1 の実施例と同様に、透明絶縁性基板 1 0 1 の表面上に、赤色の透明樹脂膜を 0.8  $\mu m$  の厚さに形成し、第 3 PR 工程において所要のパターンに形成して R 色カラーフィルタ 2 3 0 を形成する。同様に、緑色の透明樹脂膜を R 色カラーフィルタ 2 3 0 と同じ厚さに形成し、第 4 PR 工程において所要のパターンに形成して G 色カラーフィルタ 2 3 1 を形成する。更に、青色の透明樹脂膜を R 色カラーフィルタ 2 3 0 及び G 色カラーフィルタ

2 3 1 と同じ厚さに形成し、第 5 P R 工程において所要のパターンに形成して B 色カラーフィルタ 2 3 2 を形成する。各カラーフィルタ 2 3 0 乃至 2 3 2 の配置パターンは図 1 に示すとおりである。

【 0 0 6 6 】

そして、図 1 5 ( a ) 乃至 ( f ) に示すように、光を遮光する黒色の樹脂膜を形成し、第 6 P R 工程において、R G B の各カラーフィルタ 2 3 0 乃至 2 3 2 の上方に相当する領域とソース電極 2 0 6 ( 図 1 8 ( b ) 参照 ) の上方に相当する領域の一部とを除く領域を覆うようにパターン形成し、ブラックマトリクス 2 4 0 を形成する。なお、ブラックマトリクス 2 4 0 はカラーフィルタ 2 3 0 乃至 2 3 2 を形成する前に形成してもよい。

【 0 0 6 7 】

次いで、図 1 6 ( a ) 乃至 ( f ) に示すように、平坦化膜 1 0 7 として、無色透明な感光性アクリル樹脂を 2 . 5 ~ 3 . 0  $\mu$  m の厚さで全面に形成する。その後、第 7 P R 工程において、平坦化膜 1 0 7 及びパッシベーション膜 1 0 9 を順次選択エッチングし、ソース電極 2 0 6 を露出するコンタクトホール 2 2 1 を形成する。また、同時にゲート端子部 2 5 1 においては、平坦化膜 1 0 7 、パッシベーション膜 1 0 9 及びゲート絶縁膜 ( S i N 膜 1 0 3 ) を順次選択エッチングし、ゲート端子部 2 5 1 を露出するゲート端子部コンタクトホール 2 5 2 を形成する。また、ドレイン端子部 2 5 1 においては、平坦化膜 1 0 7 及びパッシベーション膜 1 0 9 を順次選択エッチングし、ドレイン端子部 2 6 1 を露出するドレイン端子部コンタクトホール 2 6 2 を形成する。なお、これらの端子領域には平坦化膜 1 0 7 を残さないようにしてもよい。

【 0 0 6 8 】

そして、図 9 ( a ) 乃至 ( f ) に示すように、全面に透明電極膜としてスパッタ法により I T O 膜 1 0 8 を 3 0 ~ 1 0 0 n m の厚さに形成し、第 8 P R 工程により、この I T O 膜 1 0 8 を各カラーフィルタ 2 3 0 乃至 2 3 2 上の領域を含む所要のパターンに形成し、コンタクトホール 2 2 1 を通してソース電極 2 0 6 に電氣的に接続される画素電極 2 0 3 を形成する。また、同時に、I T O 膜 1 0 8 により、ゲート端子部コンタクトホール 2 5 2 を含む領域にゲートバスライン 2

01に電氣的に接続されたゲート端子250を形成すると共に、ドレイン端子部コンタクトホール262を含む領域にドレインバスライン202に電氣的に接続されたドレイン端子260を形成する。なお、セル工程でのギャップ制御を容易にするために、第9PR工程（図示せず）において、更に無色透明の感光性アクリル樹脂により柱を形成してもよい。また、本実施例においては、前述の第2PR工程においてハーフトーン露光法を使用する方法について説明したが、本発明においては、第2PR工程において、露光量を変えて2回の露光を行う方法を使用してもよい。

#### 【0069】

その後は、図示は省略するが、表面に配向膜を形成してCOT基板を形成し、共通電極、配向膜等が形成された対向基板を、前記COT基板に対して微小間隔を介して対向配置して一体化し、前記COT基板と前記対向基板との間に液晶を充填して封止することにより、カラー液晶表示装置を完成する。また、ゲート端子250及びドレイン端子260には夫々ドライバ回路が電氣的に接続される。

#### 【0070】

本実施例においても、前述の第2の実施例と同様に第2PR工程においてD/I（ドレイン・アイランド）一括エッチングを行っている。一般にD/I一括エッチングをTFT基板の製造に用いた場合は、アイランド部の段差が大きくなることにより、特にIPS（インプレインスイッチング：in plane switching）方式のような横電界により液晶駆動を行う場合において、液晶分子の配向制御が難しくなるという問題点がある。また、パッシベーション膜のカバレッジが劣化するため、ソース・ドレイン電極の構成材料が液晶中に溶出し、液晶表示装置の動作中に表示シミを誘発しやすくなるという問題点が生じる。しかしながら、本実施例においては、前記アイランド部の段差をパッシベーション膜109、ブラックマトリクス240及び平坦化膜107により覆っているため、この段差を低減することができ、前述の問題点を抑制することが可能である。この結果、液晶表示装置の配向制御性及び信頼性が向上する。

#### 【0071】

なお、前述の第2の実施例と同様に、ブラックマトリクスを構成するアクリル

として、積層構造の a - S i 膜に接触したときでもこの a - S i 膜を汚染するおそれがない種類のアクリルを使用する場合には、前記 a - S i 膜の汚染を防止するために設けているパッシベーション膜を省略することが可能である。

【 0 0 7 2 】

以上説明したように、本発明の第 3 の実施例においても、第 1 乃至第 8 の P R 工程によりカラー構成のアクティブマトリクス基板を製造することが可能になる。これにより、従来の 9 P R 工程の製造方法と比較して 1 P R 工程の削減が実現でき、低コストなカラー液晶表示装置を提供することが可能になる。また、本発明の第 3 の実施例に係る液晶表示装置においても、R G B の各色カラーフィルタの周縁部を覆うようにブラックマトリクスが形成されるため、各カラーフィルタの周縁部の境界をブラックマトリクスによって明確にでき、鮮明な画像を表示することができる。

【 0 0 7 3 】

上述の各実施例においては、カラーフィルタ及びブラックマトリクスを、フォトリソグラフィ法により形成する方法について説明したが、カラーフィルタ及びブラックマトリクスは印刷法により形成してもよい。また、ブラックマトリクスを従来例のように画素電極をマスクとした染色により形成したり、R G B 3 色の色重ねにより形成すれば、さらに 1 P R 工程の削減が実現できる。また、ブラックマトリクスをフォトリソグラフィ法又は印刷法によって形成した後、インクジェット法によりカラーフィルタを形成してもよい。このとき、ブラックマトリクス上に撥水性の透明樹脂によるバンク材を積層し、厚さが約 4  $\mu$  m のブラックマトリクスとバンク材を同時に又は連続してパターン形成する方法が一般的に使用されている。これらの手法を使用する場合には、更に 3 ~ 4 回の P R 工程が省略でき、より一層の低コスト化を図ることができる。

【 0 0 7 4 】

なお、上述の各実施例においては、ゲート電極及びゲートバスラインに T i / A l 膜を、ソース・ドレイン電極及びドレインバスラインに C r 膜を用いた例を示したが、本発明はこれに限られるものではなく、前者は T i / A l / T i 膜のような 3 層膜、又は C r 膜のような単層膜であってもよく、後者は T i / A l /

T i 膜のような 3 層膜であってもよい。

【 0 0 7 5 】

【発明の効果】

以上説明したように本発明のカラー液晶表示装置によれば、オーミック層、ソース・ドレイン電極、ブラックマトリクスが同一平面形状であり、又はオーミック層とソース・ドレイン電極は同一平面形状であるので、これらオーミック層、ソース・ドレイン電極、ブラックマトリクスを製造する工程を 1 回の P R 工程で形成することが可能となり、製造工程における P R 工程を削減することができる。そのため、本発明の製造方法によれば、本発明のカラー液晶表示装置を 8 回の P R 工程で製造することが可能になり、P R 工程数の削減に伴う低コスト化を実現できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例に係るアクティブマトリクス型カラー液晶表示装置の C O T 基板の構成を示す一部概略構成図である。

【図 2】

( a ) 乃至 ( f ) は、本実施例に係るカラー液晶表示装置の構成を示す平面図及び断面図である。

【図 3】

本実施例に係るカラー液晶表示装置の製造方法を示す工程フロー図である。

【図 4】

( a ) 乃至 ( f ) は、本実施例に係るカラー液晶表示装置の製造方法を示す平面図及び断面図である。

【図 5】

( a ) 乃至 ( f ) は、本実施例に係るカラー液晶表示装置の製造方法において、図 4 に示す工程の次の工程を示す平面図及び断面図である。

【図 6】

( a ) 乃至 ( f ) は、本実施例に係るカラー液晶表示装置の製造方法において、図 5 に示す工程の次の工程を示す平面図及び断面図である。



【図 7】

(a) 乃至 (f) は、本実施例に係るカラー液晶表示装置の製造方法において、図 6 に示す工程の次の工程を示す平面図及び断面図である。

【図 8】

(a) 乃至 (f) は、本実施例に係るカラー液晶表示装置の製造方法において、図 7 に示す工程の次の工程を示す平面図及び断面図である。

【図 9】

(a) 乃至 (f) は、本発明の第 2 の実施例に係るカラー液晶表示装置の構成を示す平面図及び断面図である。

【図 1 0】

本実施例に係るカラー液晶表示装置の製造方法を示す工程フロー図である。

【図 1 1】

(a) 乃至 (f) は、本実施例に係るカラー液晶表示装置の製造方法を示す平面図及び断面図である。

【図 1 2】

(a) 乃至 (f) は、本実施例に係るカラー液晶表示装置の製造方法において、図 1 1 に示す工程の次の工程を示す平面図及び断面図である。

【図 1 3】

(a) 乃至 (c) は、本実施例におけるハーフトーン露光法を示す断面図である。

【図 1 4】

(a) 乃至 (f) は、本実施例に係るカラー液晶表示装置の製造方法において、図 1 2 に示す工程の次の工程を示す平面図及び断面図である。

【図 1 5】

(a) 乃至 (f) は、本実施例に係るカラー液晶表示装置の製造方法において、図 1 4 に示す工程の次の工程を示す平面図及び断面図である。

【図 1 6】

(a) 乃至 (f) は、本実施例に係るカラー液晶表示装置の製造方法において、図 1 5 に示す工程の次の工程を示す平面図及び断面図である。



【図 1 7】

本発明の第 3 の実施例に係るカラー液晶表示装置の製造方法を示す工程フロー図である。

【図 1 8】

(a) 乃至 (d) は、本実施例におけるハーフトーン露光法及びリフロー法を示す断面図である。

【図 1 9】

従来の COT 基板の一部断面図である。

【図 2 0】

従来のカラー液晶表示装置の製造方法を示す工程フロー図である。

【符号の説明】

- 1 0 1 ; 透明絶縁性基板
- 1 0 2 ; Ti / Al 膜 (ゲート電極膜)
- 1 0 3 ; SiN 膜 (ゲート絶縁膜)
- 1 0 4 ; 真性 a - Si 膜 (半導体層)
- 1 0 5 ; n<sup>+</sup> 型 a - Si 膜 (オーミック層)
- 1 0 6 ; Cr 膜
- 1 0 7 ; 平坦化膜
- 1 0 8 ; ITO 膜
- 1 0 9 ; パッシベーション膜
- 2 0 0 ; TFT
- 2 0 1 ; ゲートバスライン
- 2 0 2 ; ドレインバスライン
- 2 0 3 ; 画素電極
- 2 0 5 ; ドレイン電極
- 2 0 6 ; ソース電極
- 2 1 0 ; ゲート電極
- 2 2 0 ; アイランド
- 2 2 1 ; コンタクトホール

2 3 0 乃至 2 3 2 ; カラーフィルタ

2 4 0 ; ブラックマトリクス

2 5 0 ; ゲート端子

2 5 1 ; ゲート端子部

2 5 2 ; ゲート端子部コンタクトホール

2 6 0 ; ドレイン端子

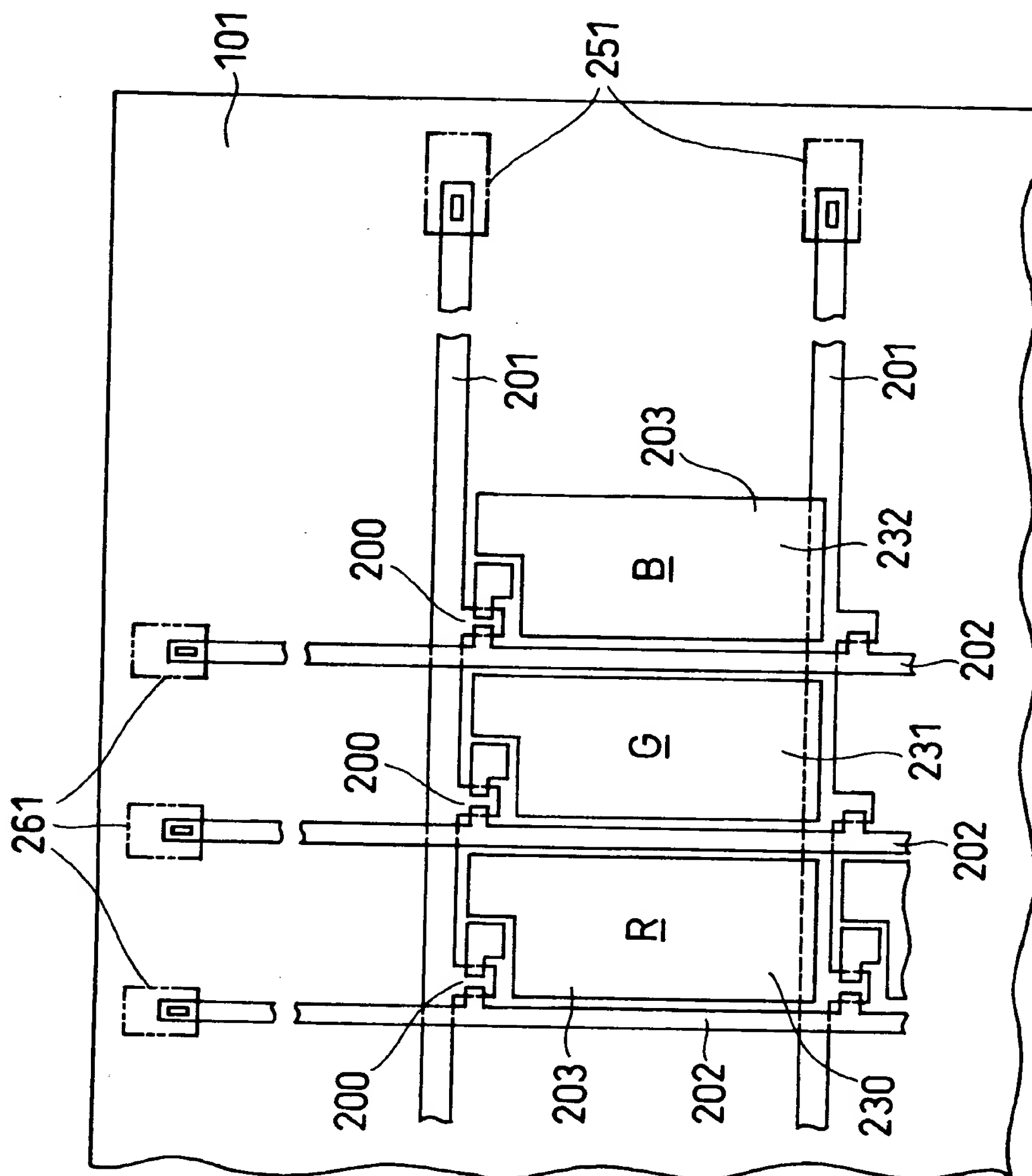
2 6 1 ; ドレイン端子部

2 6 2 ; ドレイン端子部コンタクトホール

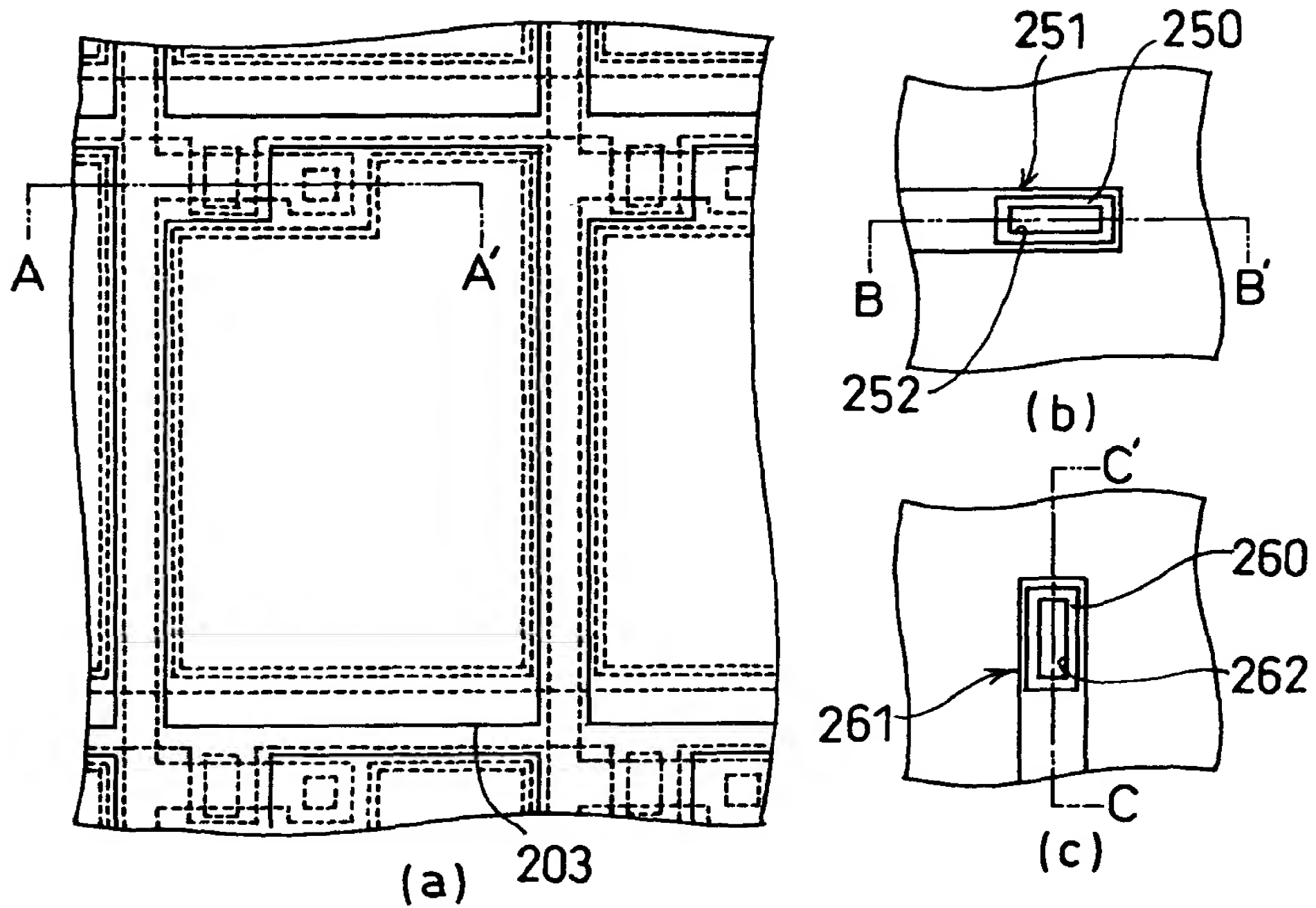
【書類名】

図面

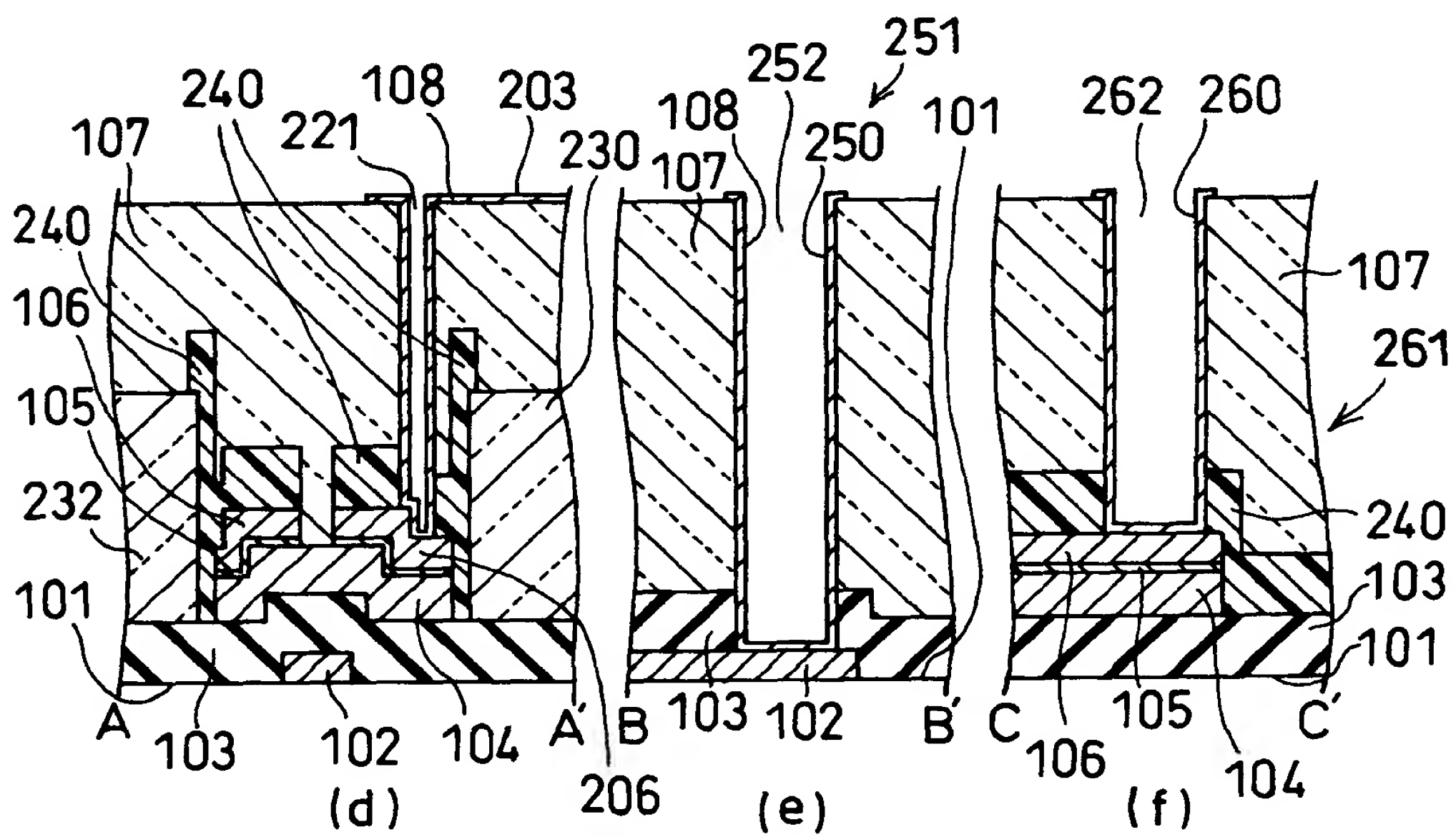
【図 1】



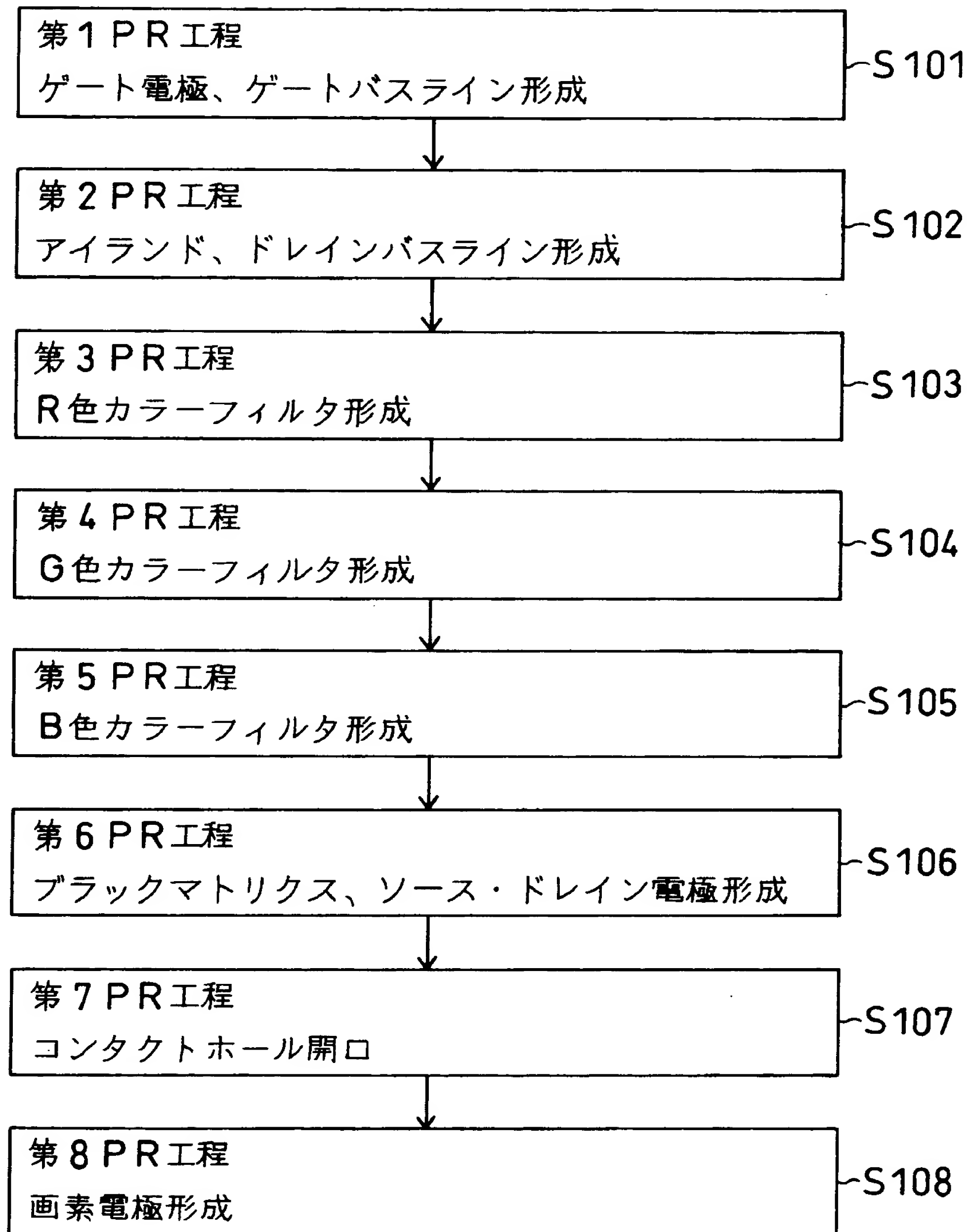
【図2】



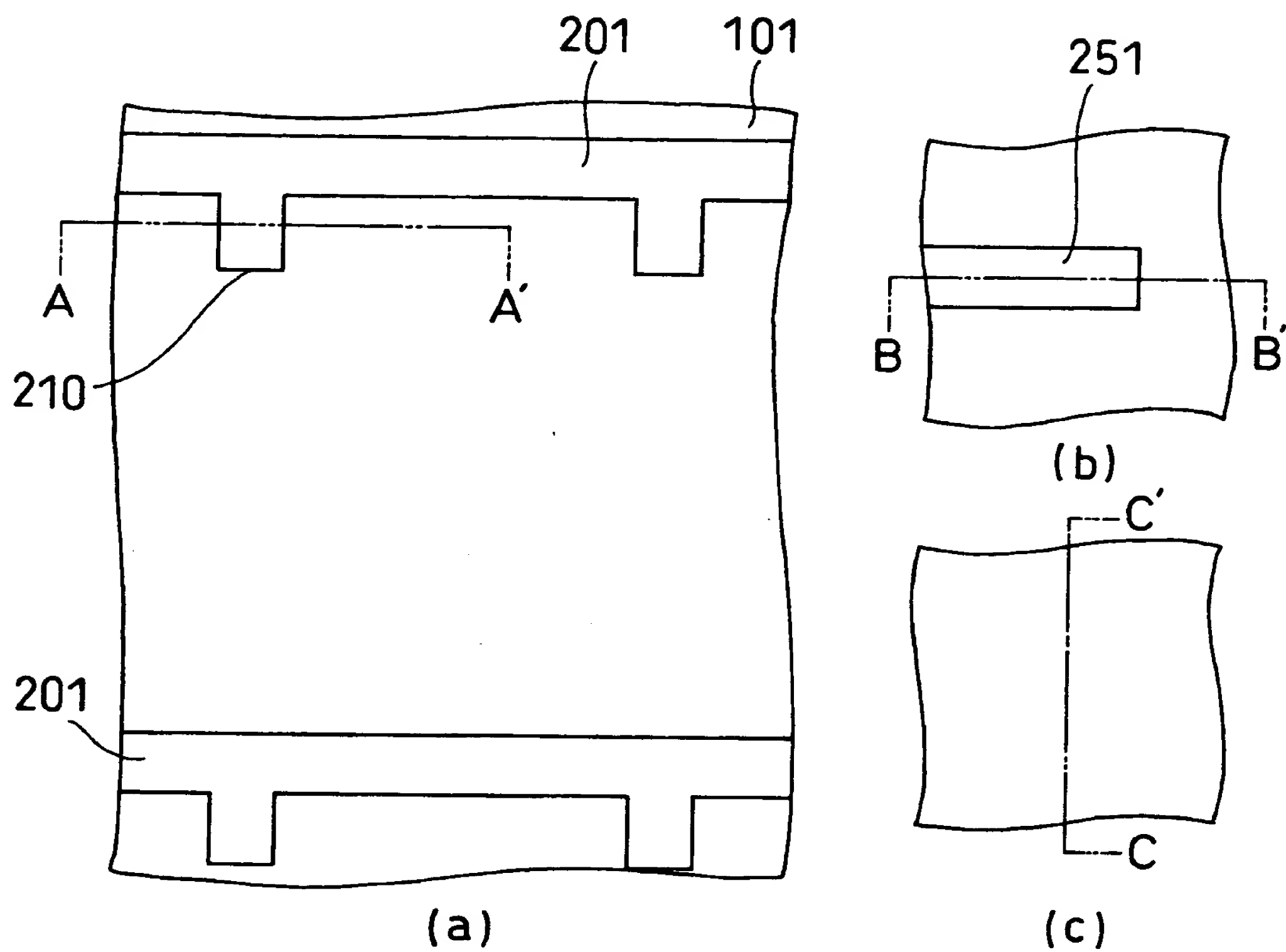
108 ; ITO    203 ; 画素電極    250 ; ゲート端子    260 ; ドレイン端子



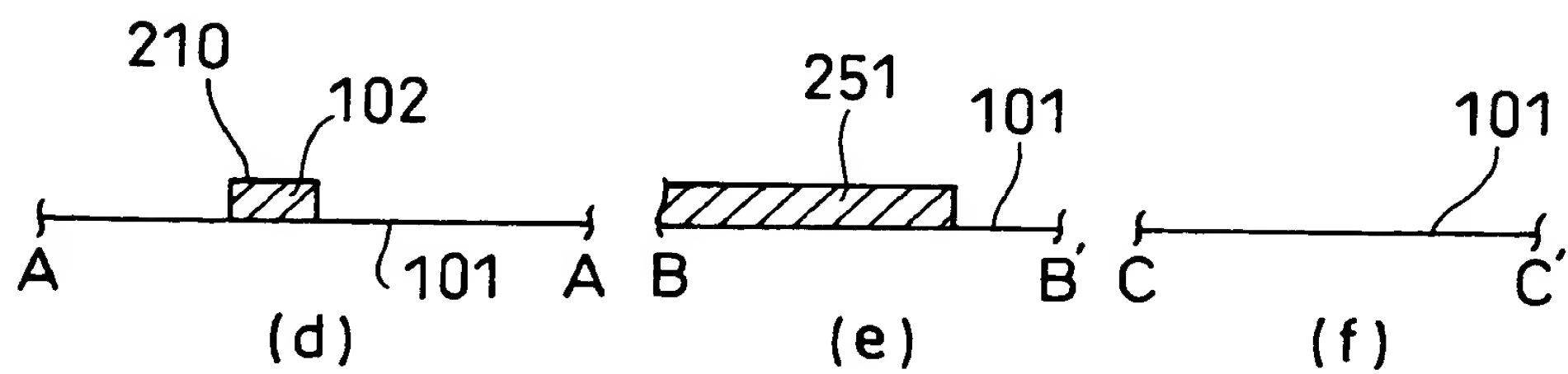
【図 3】



【図 4】

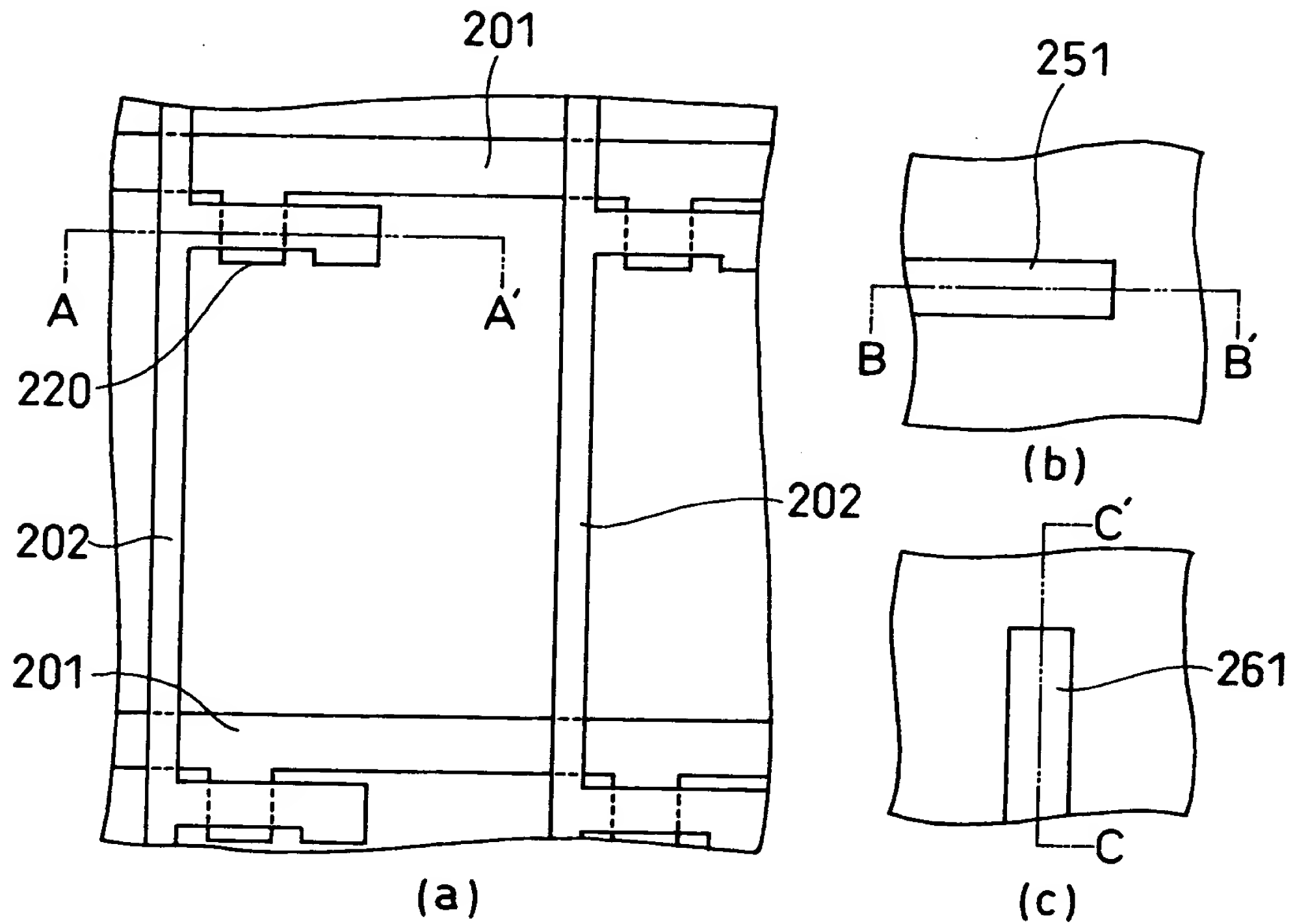


101 ; 透明絶縁性基板    210 ; ゲート電極    201 ; ゲートバスライン

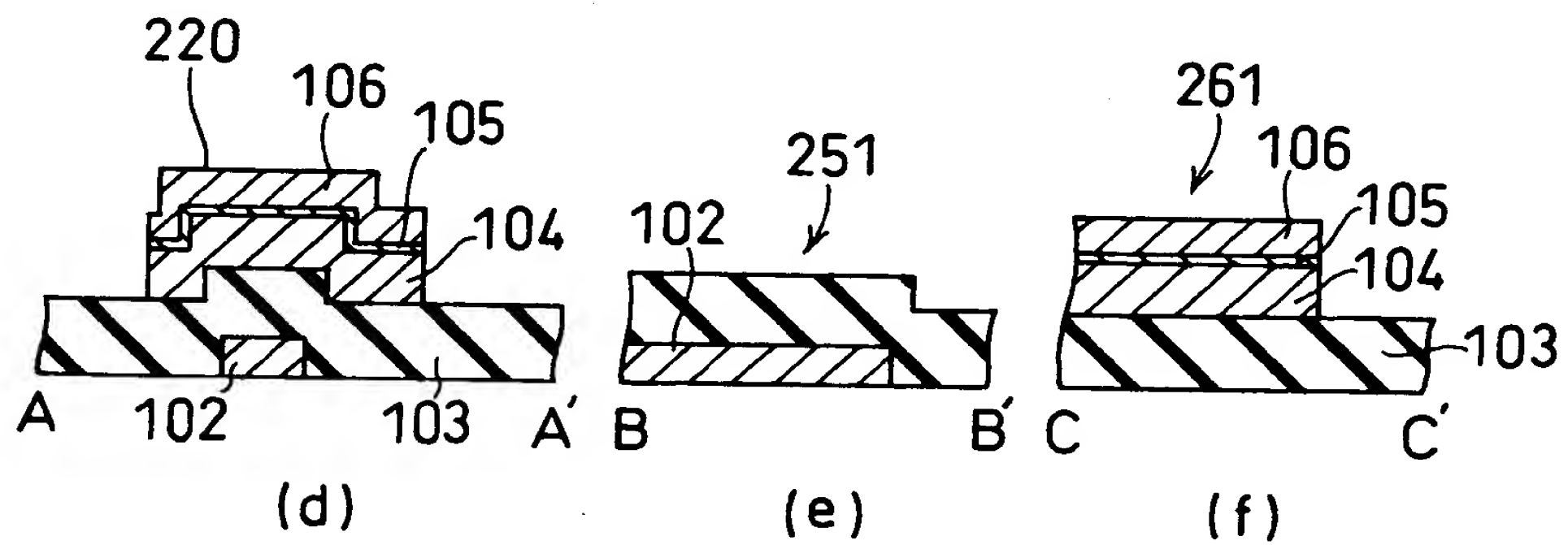




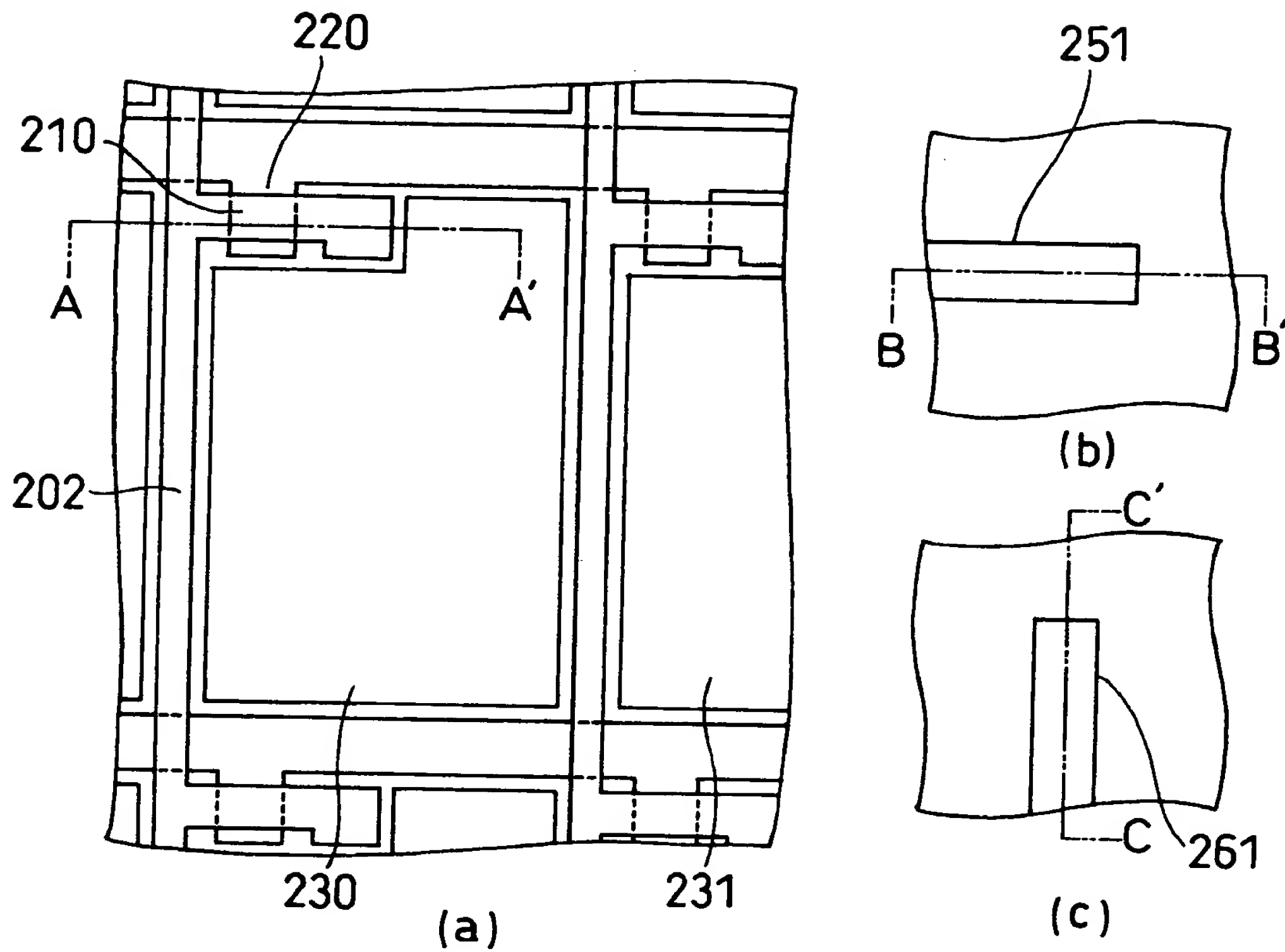
【図 5】



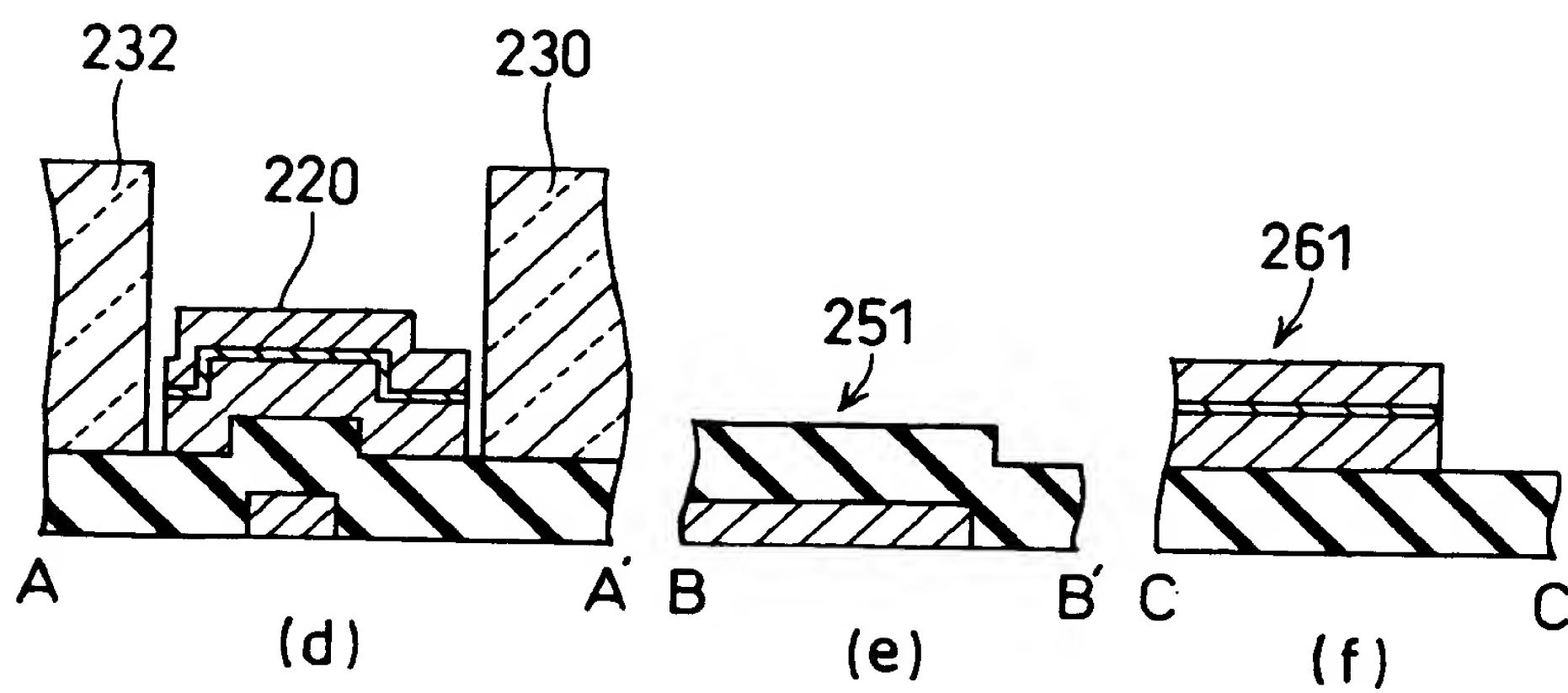
201 ; ゲートバスライン    220 ; アイランド    202 ; ドレインバスライン



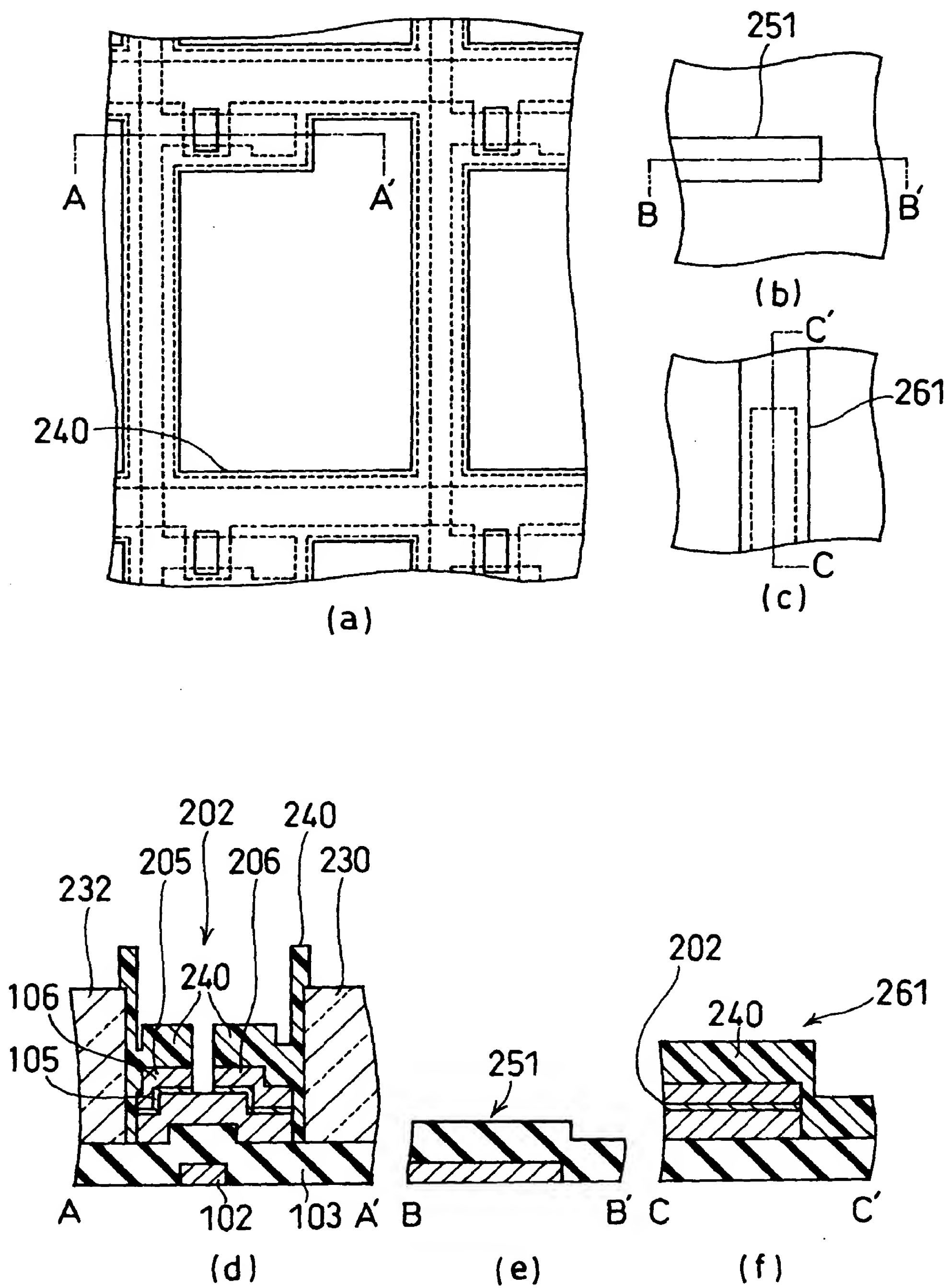
【図 6】



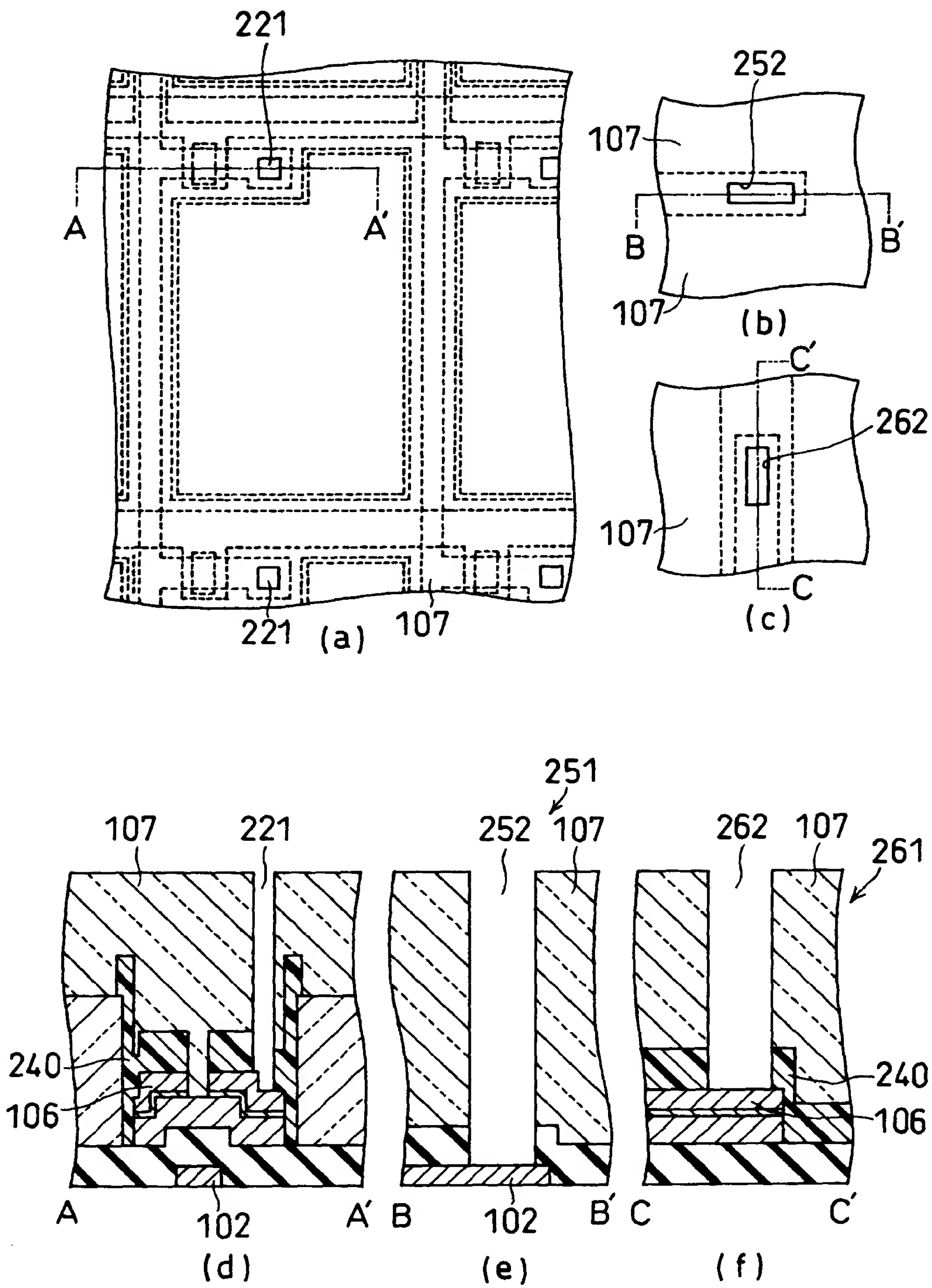
230、231、232：カラーフィルタ



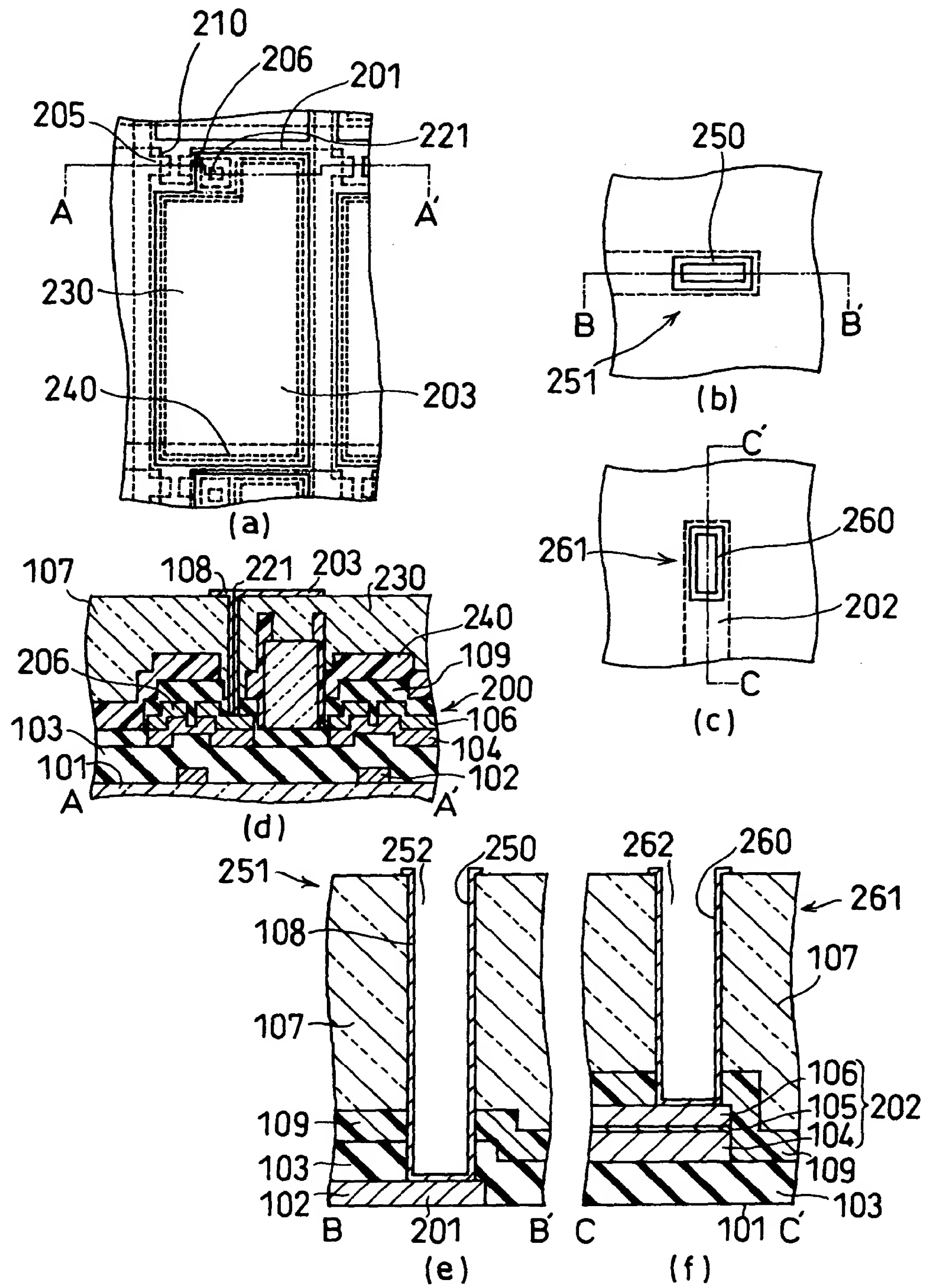
【図 7】



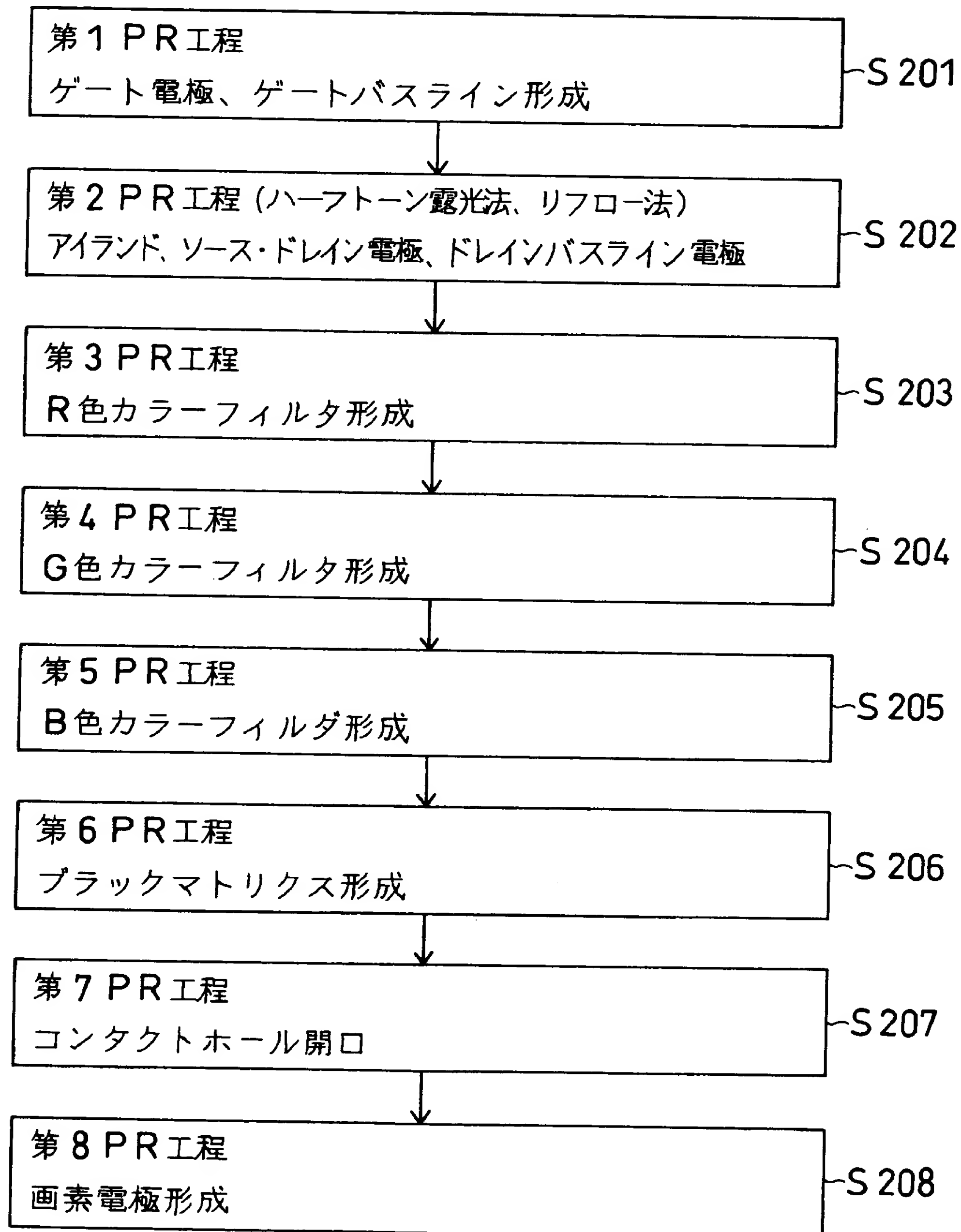
【図 8】



【図9】

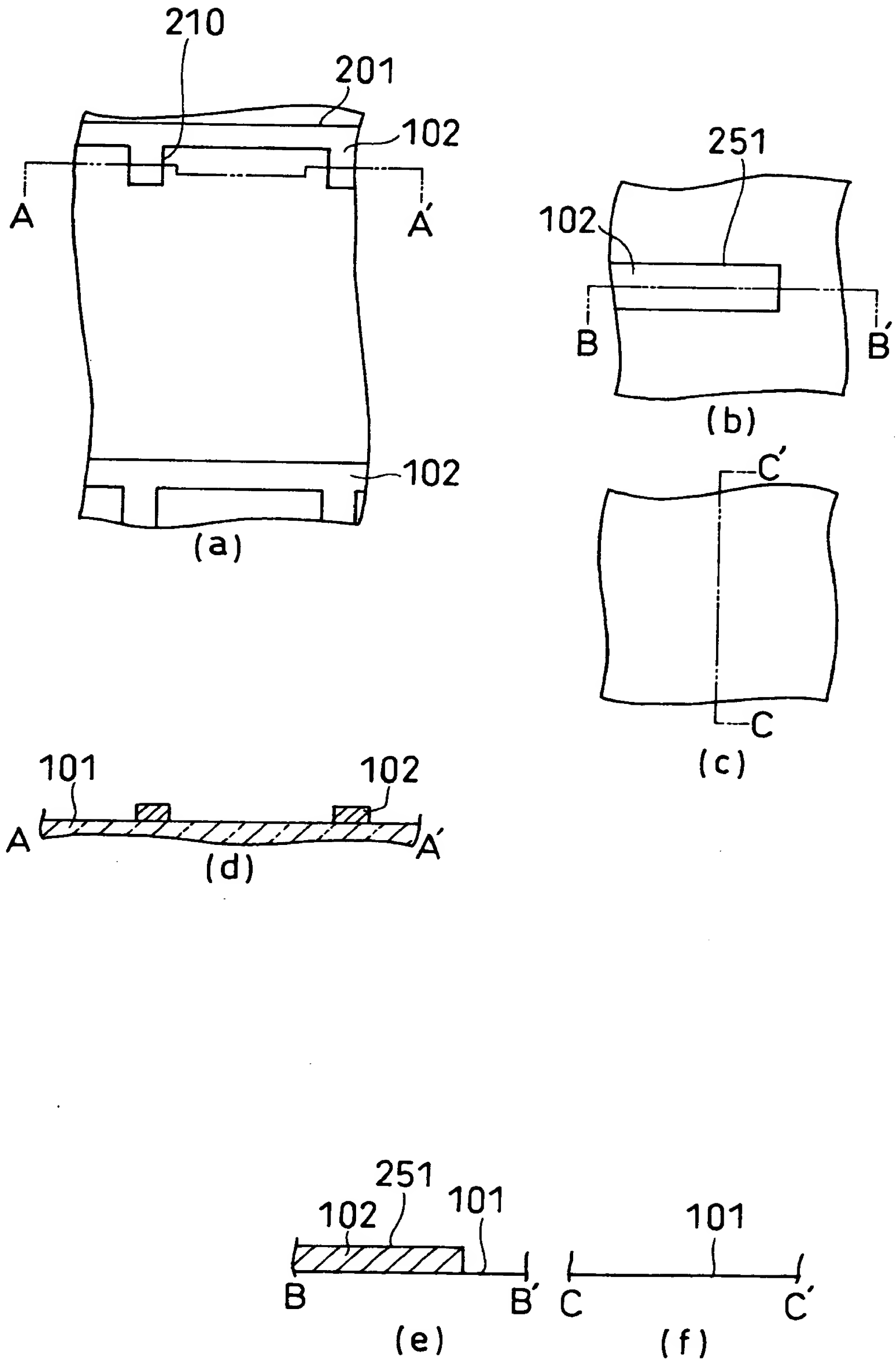


【図 1 0】

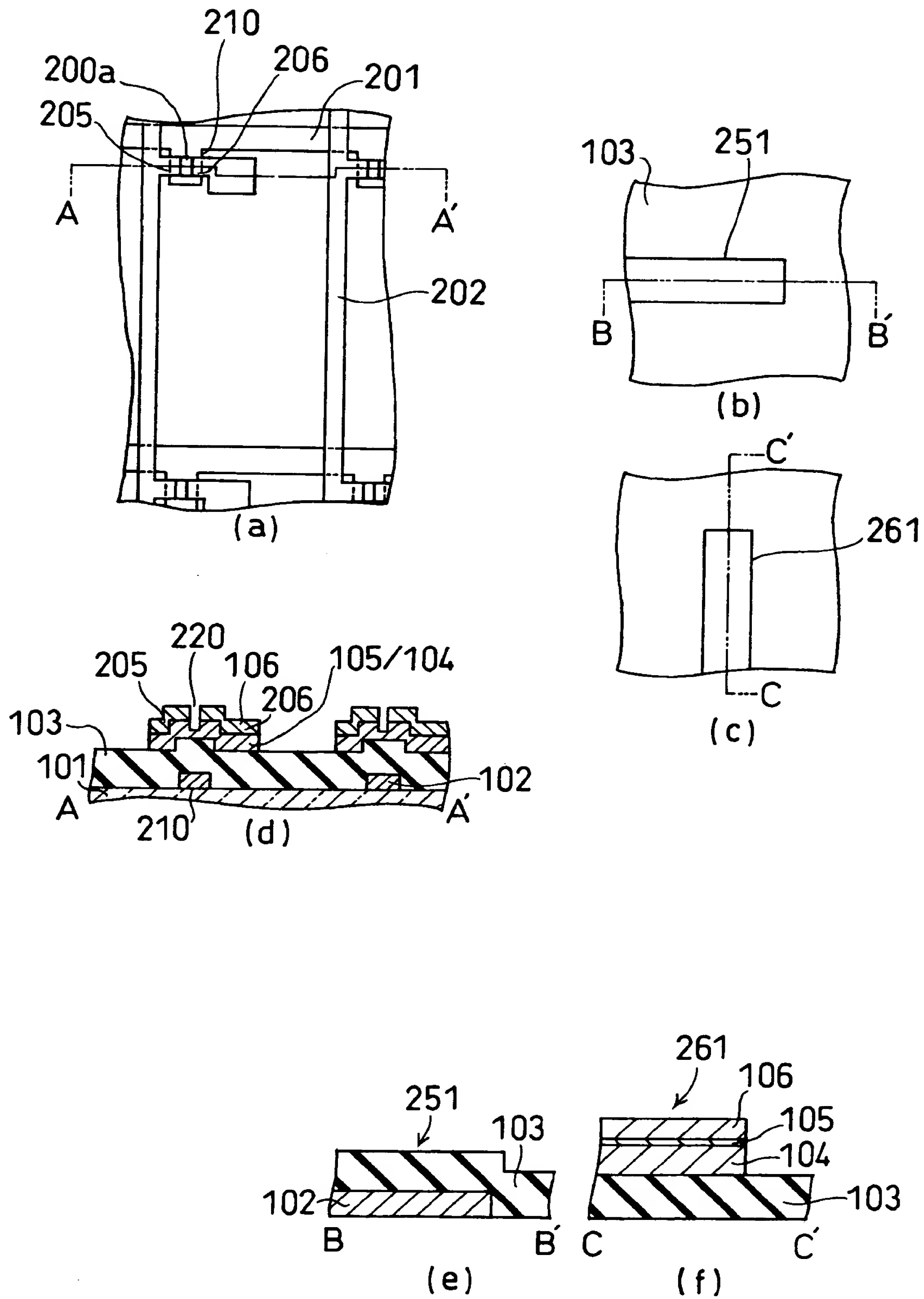




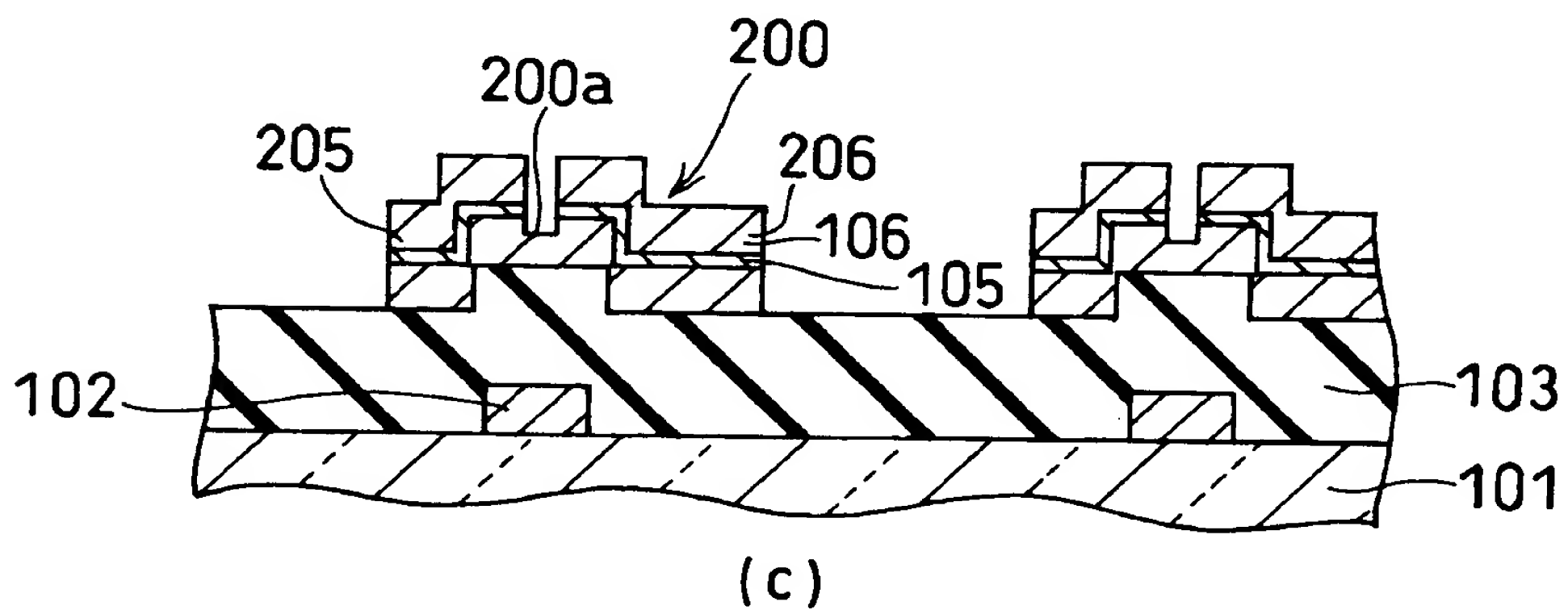
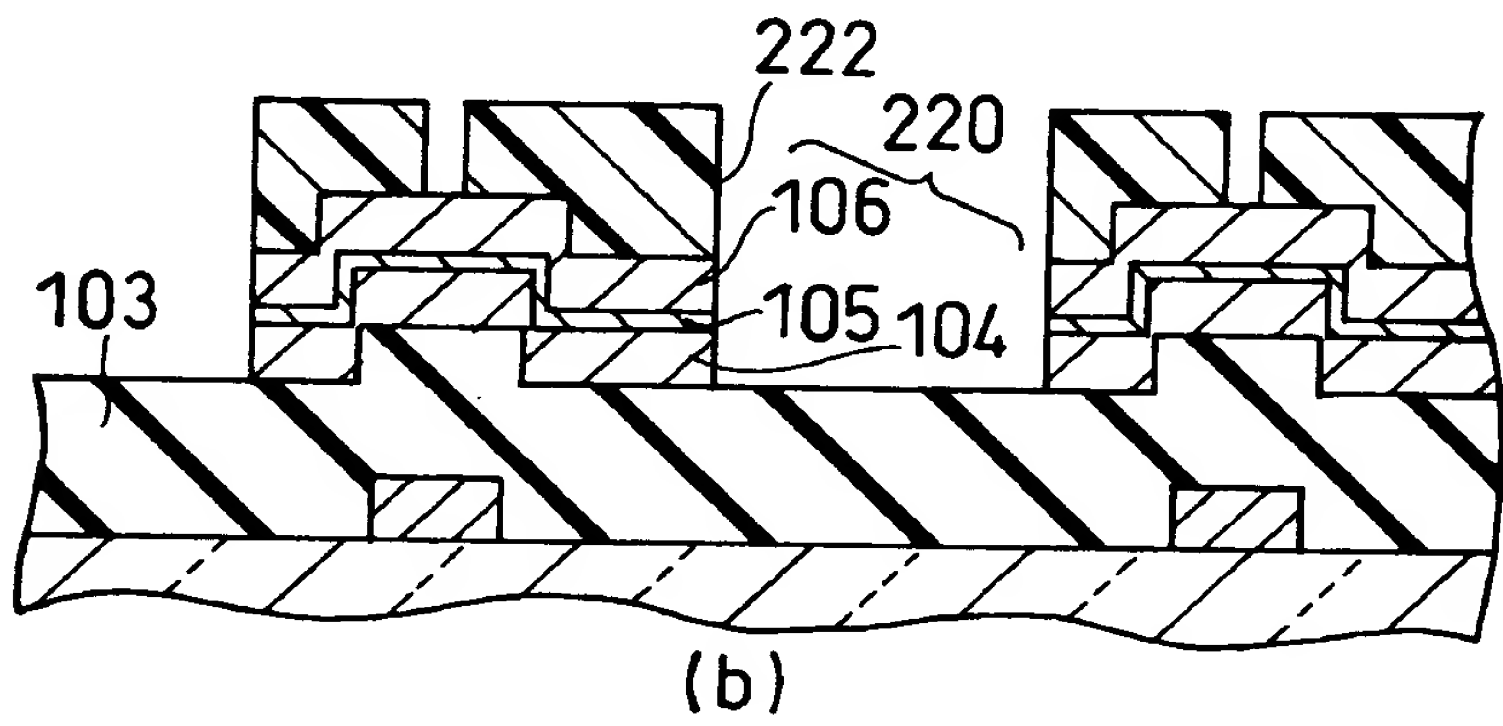
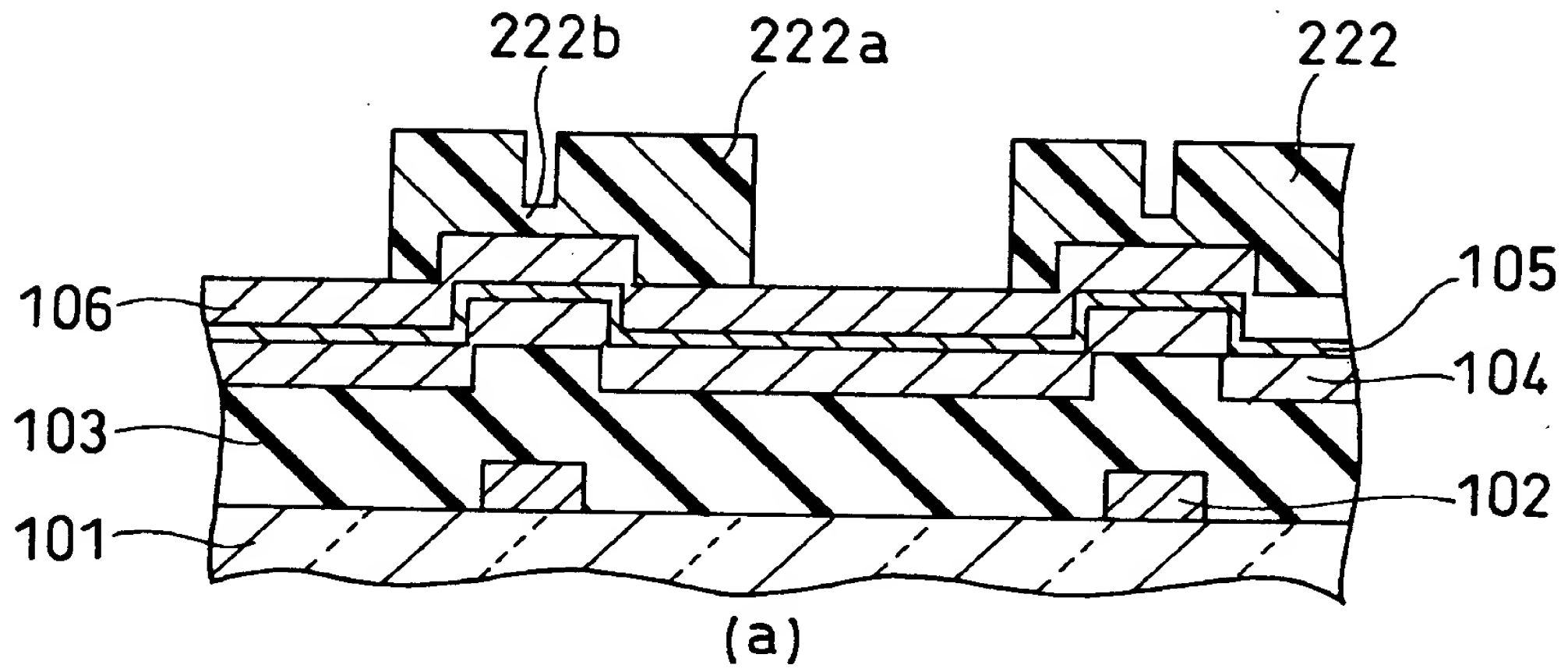
【図 11】



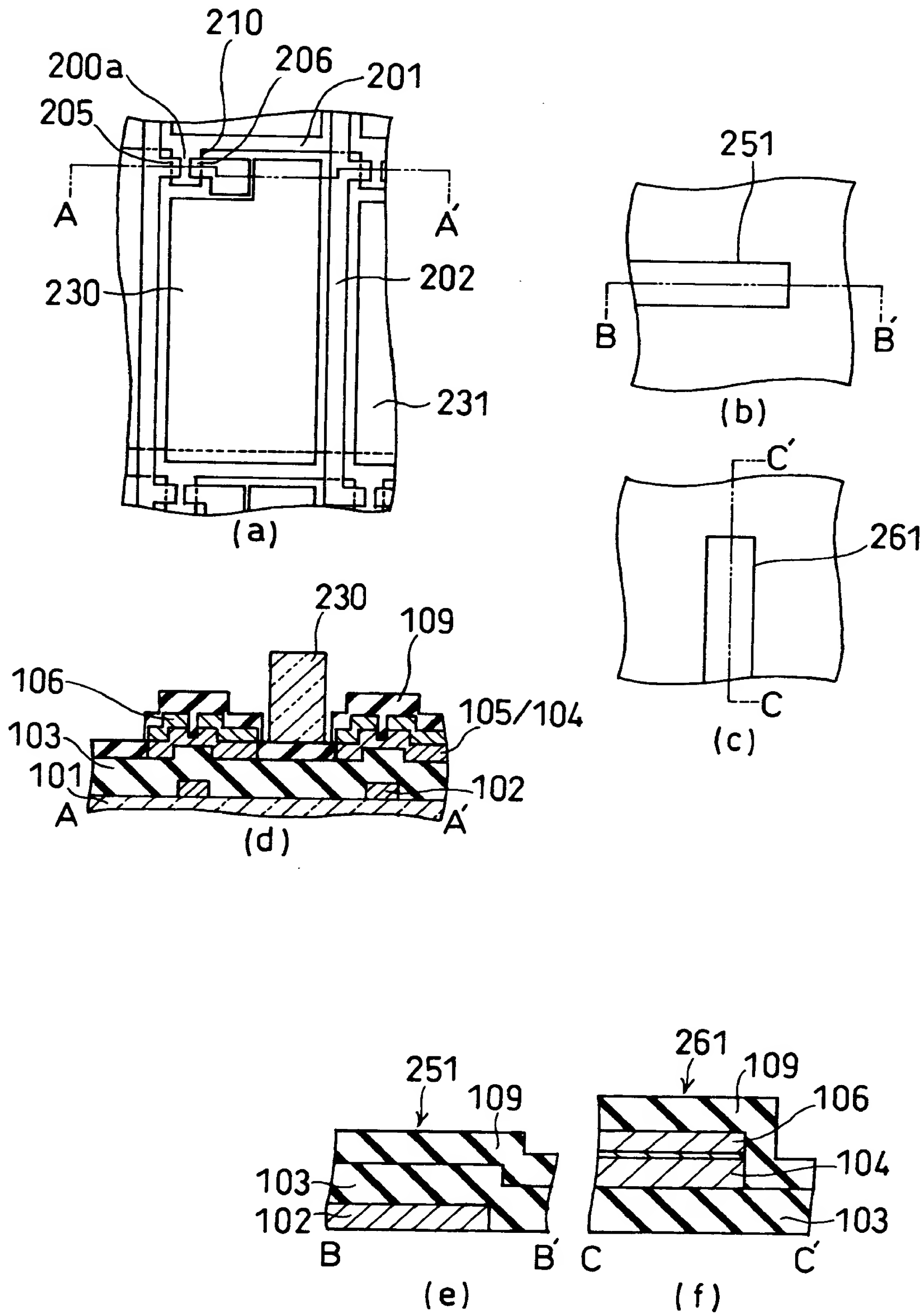
【図 1 2】



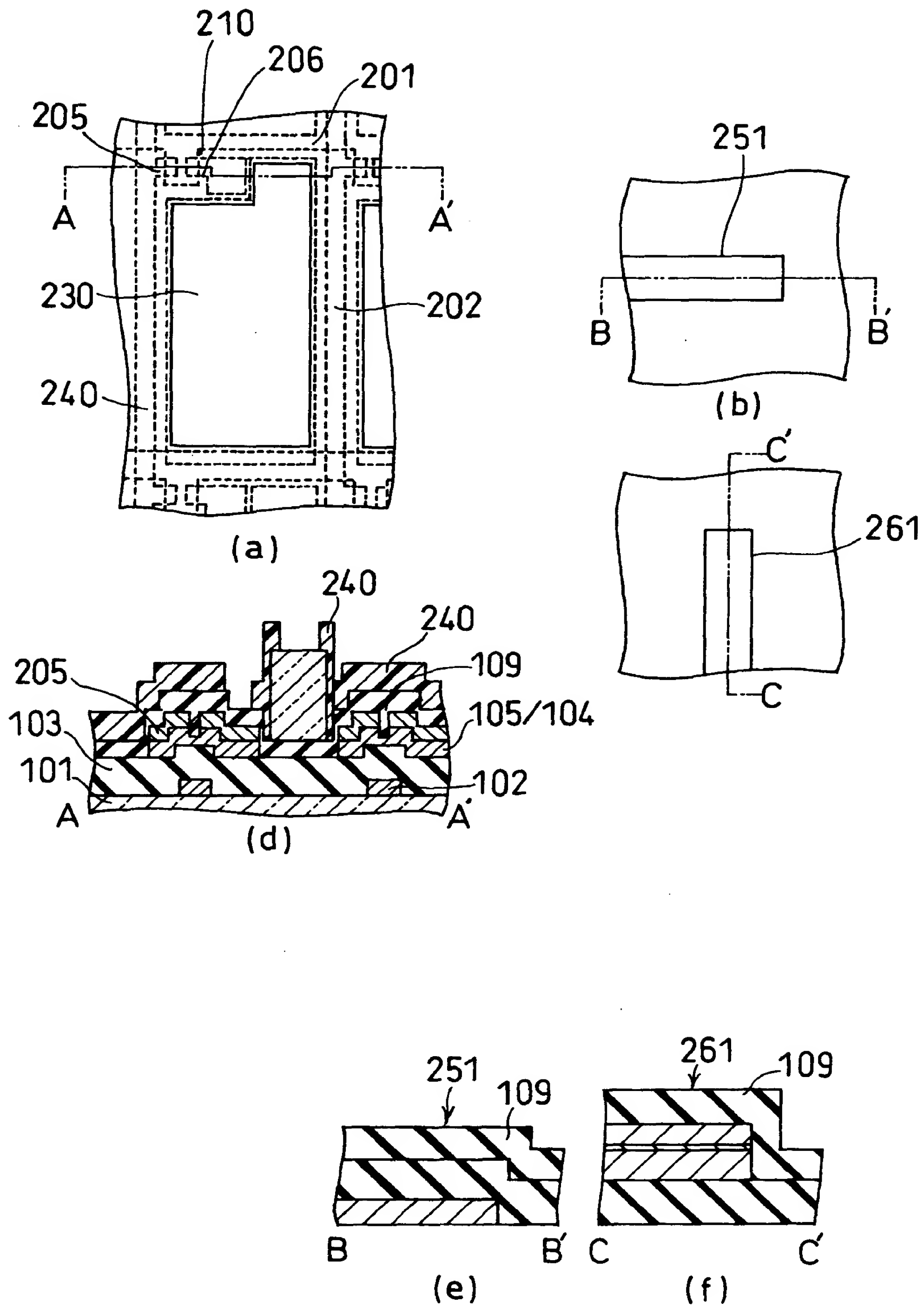
【図 1 3】



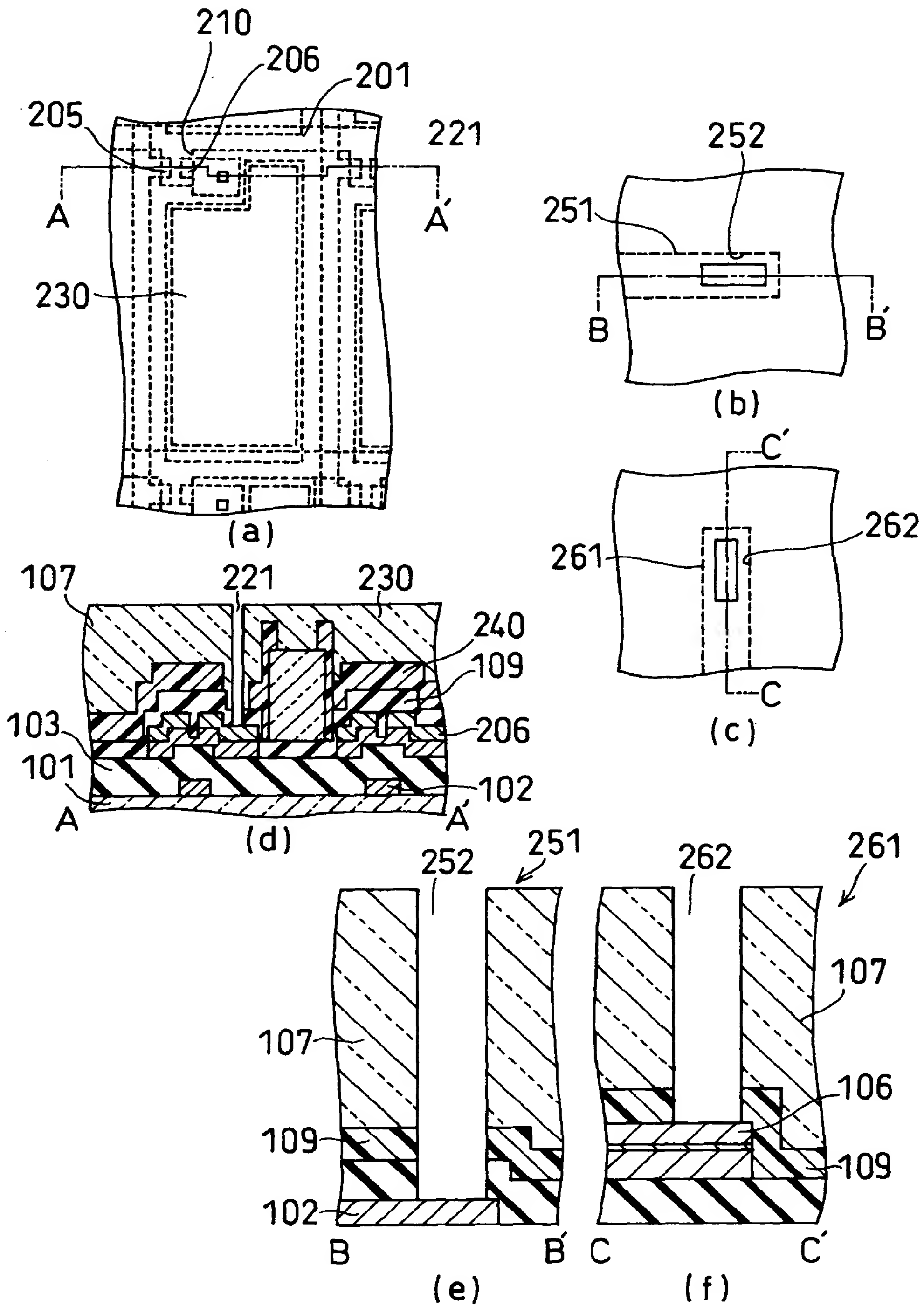
【図 1 4】



【図 1 5】

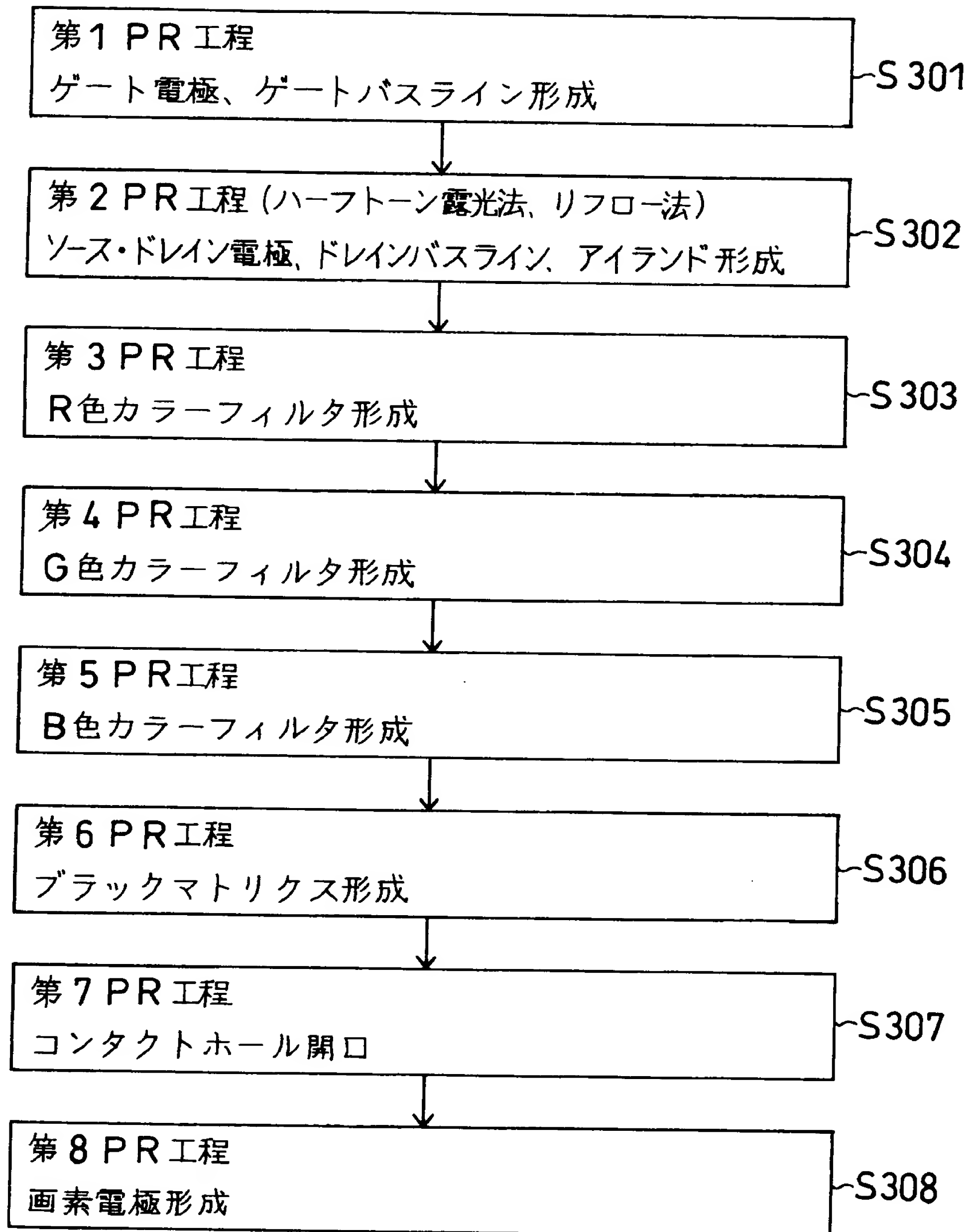


【図 16】

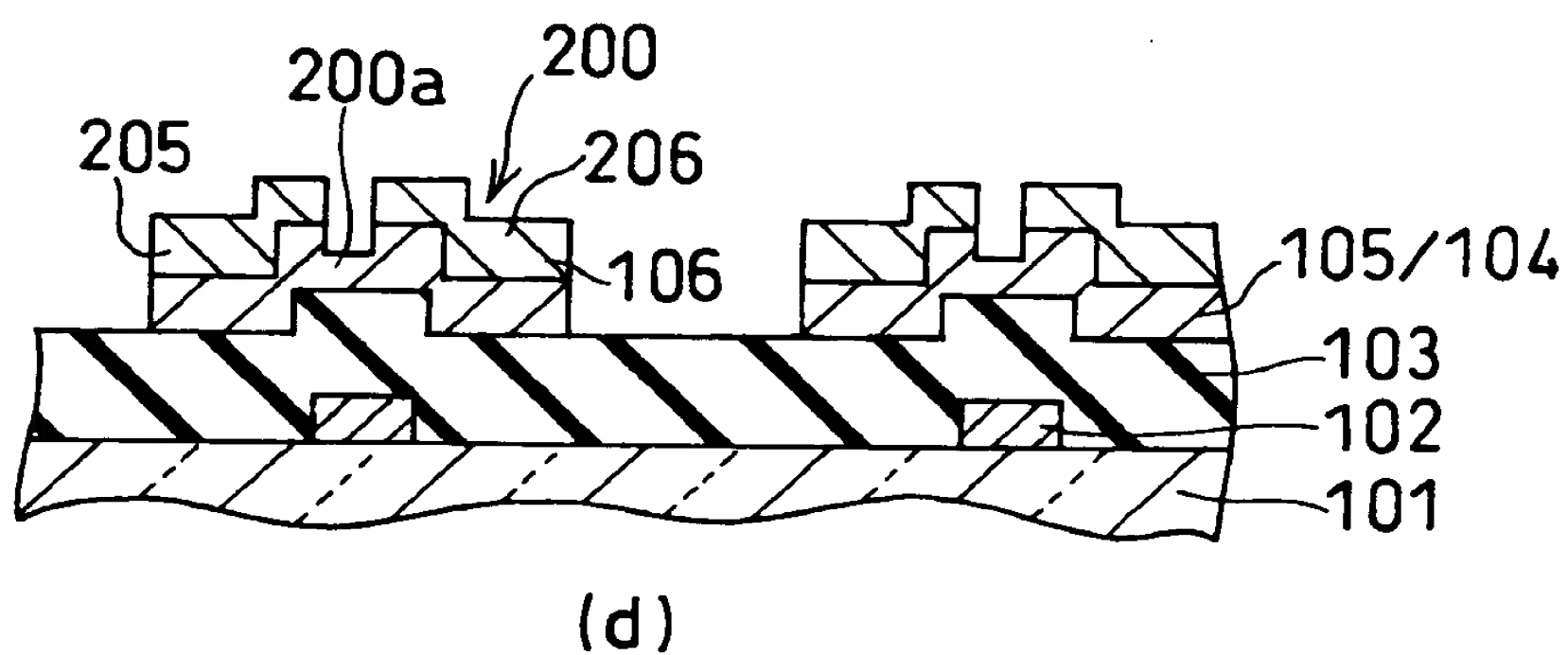
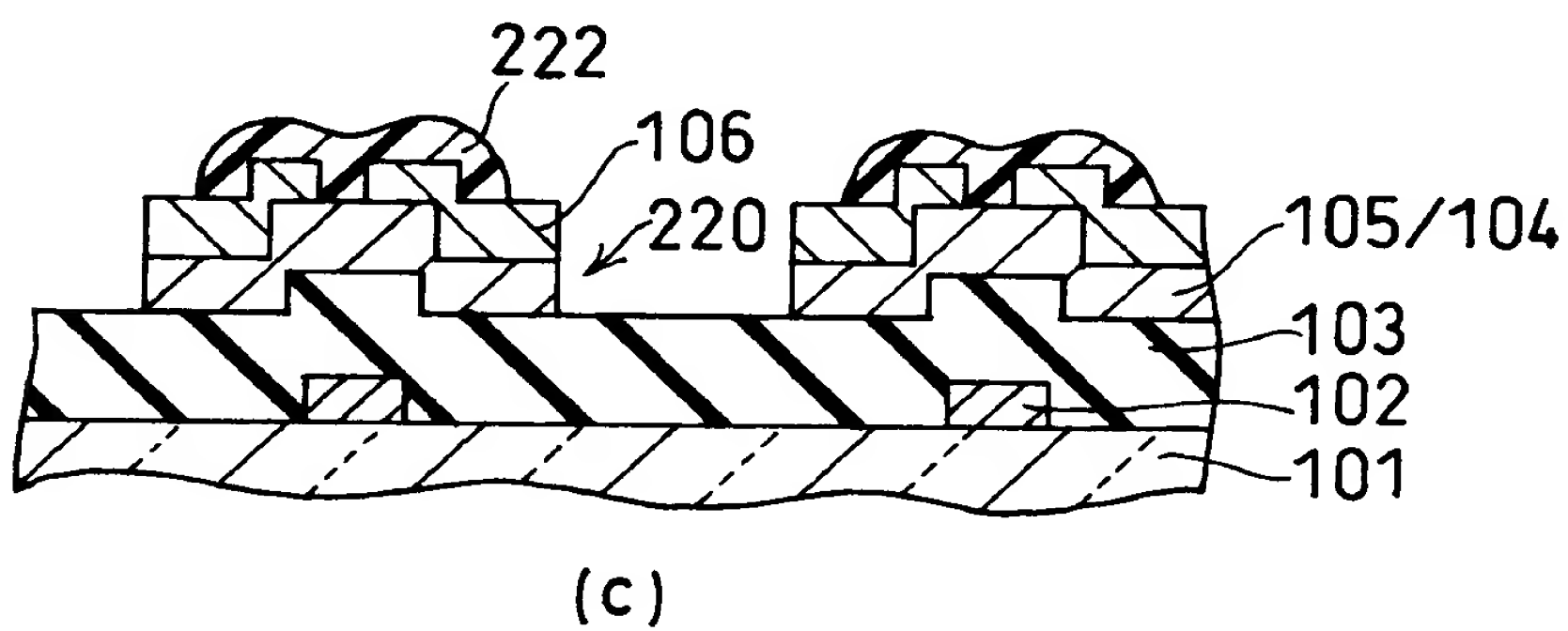
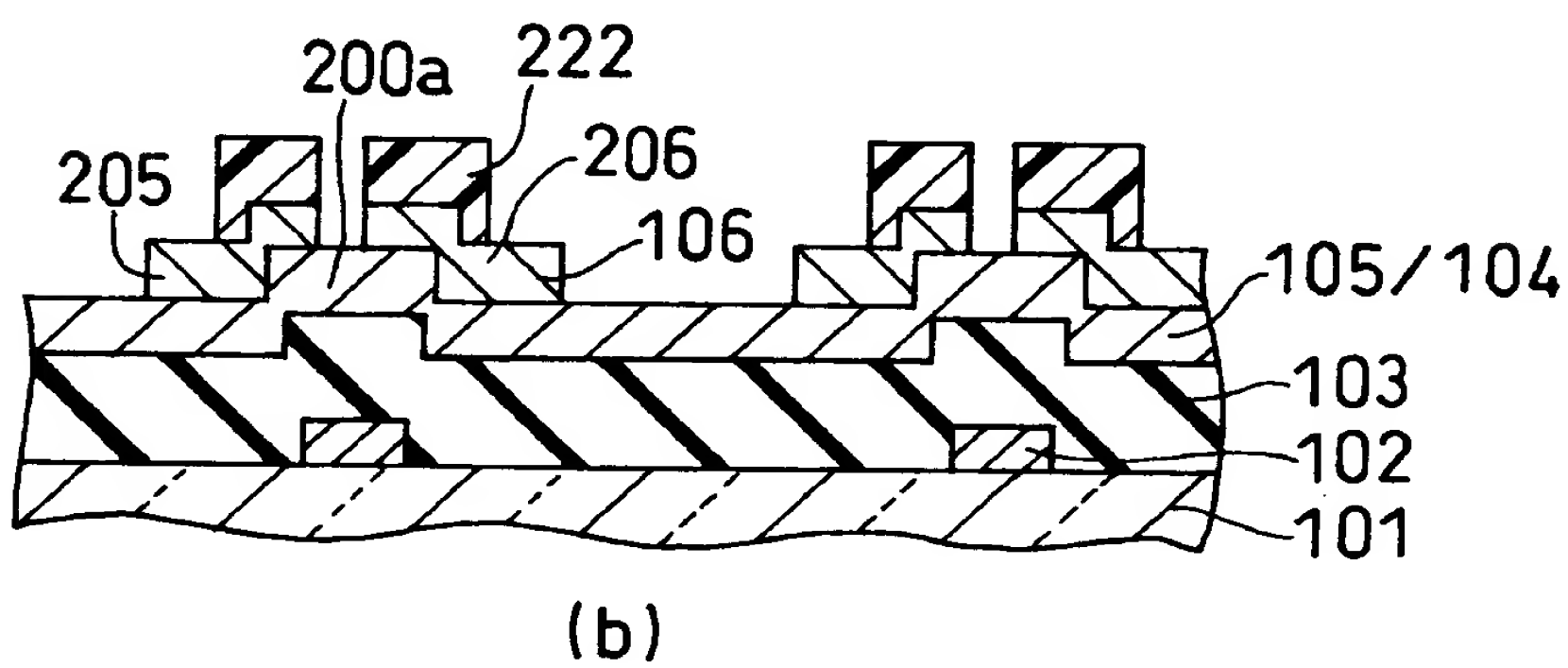
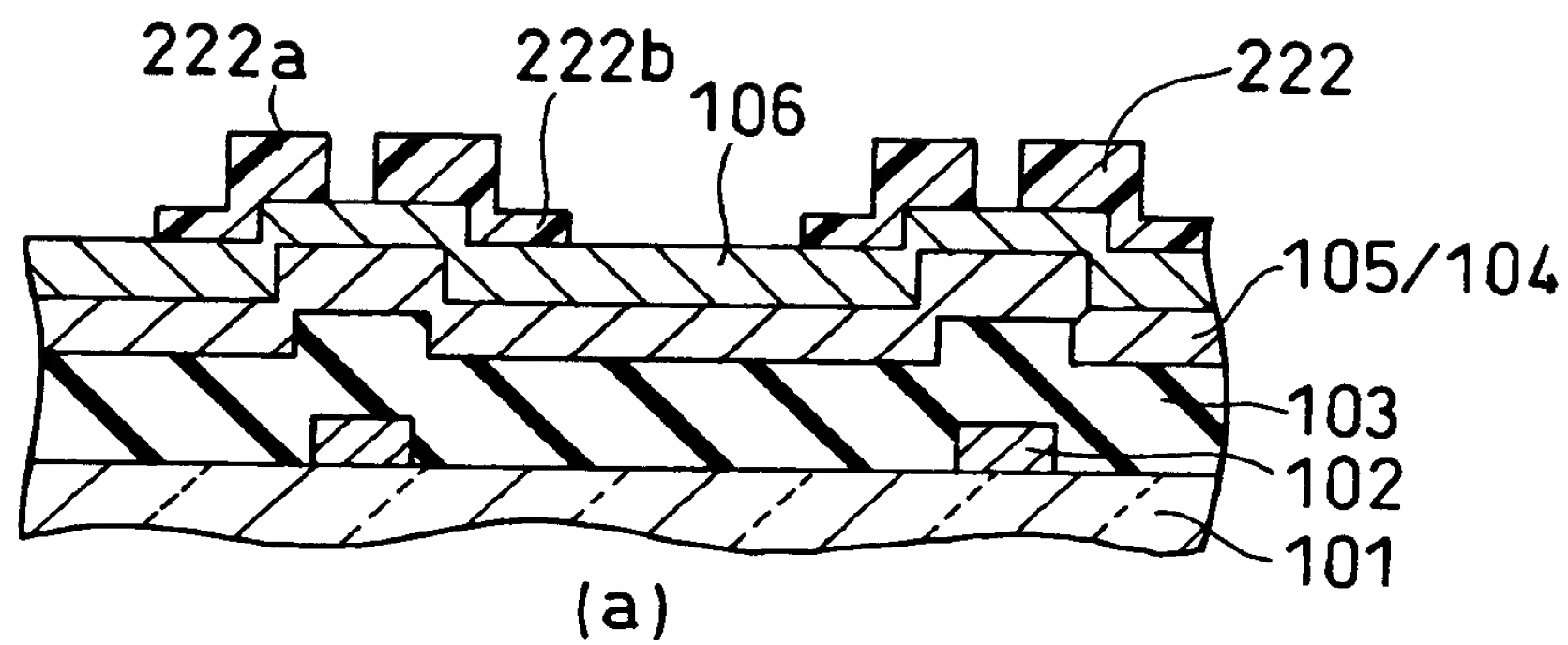




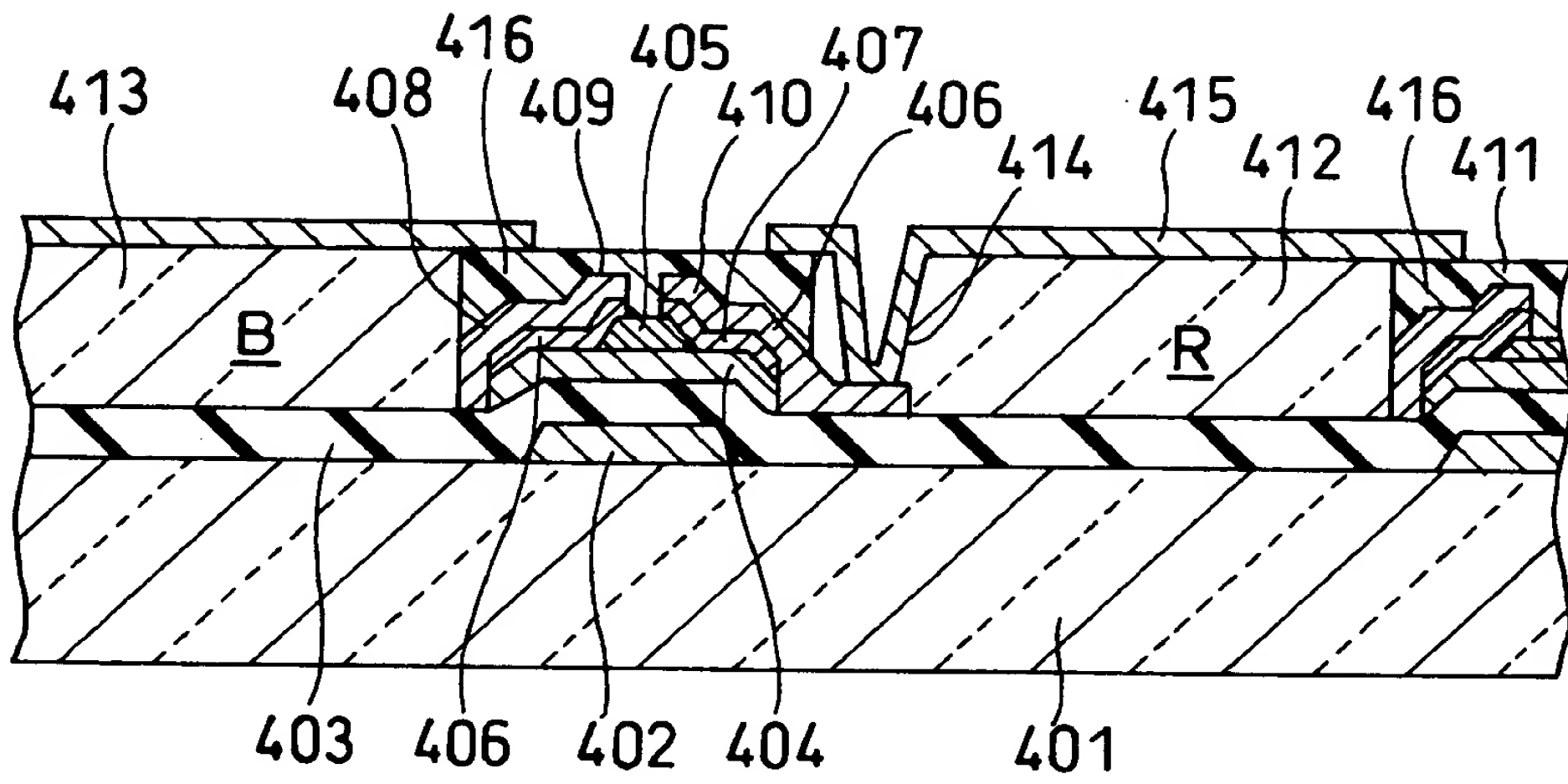
【図 1 7】



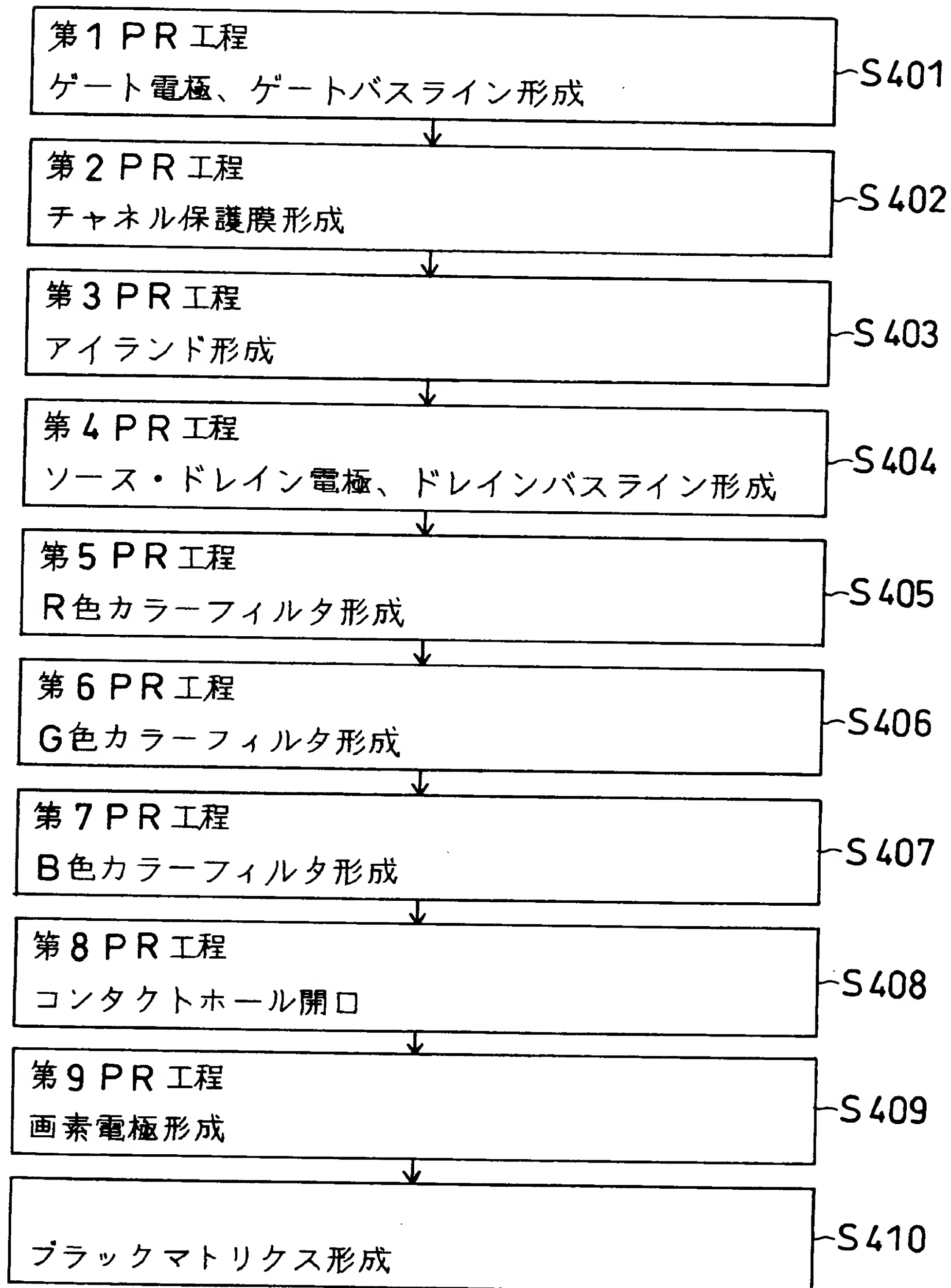
【図 1 8】



【図 1 9】



【図 2 0】



【書類名】 要約書

【要約】

【課題】 フォトリソグラフィ工程数を削減し、低コスト化を実現するカラー液晶表示装置及びその製造方法を提供する。

【解決手段】 カラー液晶表示装置の製造方法は、透明絶縁性基板上の全面に第1導電膜を形成し、ゲート電極及びゲートバスラインを形成する第1PR工程（S101）と、全面にゲート絶縁膜、半導体層、オーミック層、第2導電膜を積層し、薄膜トランジスタのアイランド及びドレインバスラインを形成する第2PR工程（S102）と、透明絶縁性基板上の所要領域に三色のカラーフィルタを順次形成する第3乃至第5PR工程（S103～S105）と、全面に遮光膜を形成し、チャンネル領域以外のアイランドを覆い且つカラーフィルタ上の領域を除く領域に前記遮光膜を残してブラックマトリクスを形成し、アイランドにおいて前記ブラックマトリクスをマスクにしてチャンネル領域に相当する領域の第2導電膜及びオーミック層を除去してドレイン電極及びソース電極を形成する第6PR工程（S106）と、全面に平坦化膜を形成し、ソース電極を露出するコンタクトホールを開口する第7PR工程（S107）と、全面に透明電極を形成し、カラーフィルタに重なる領域を覆うように形成されソース電極に電氣的に接続される画素電極を形成する第8PR工程（S108）とを含む。

【選択図】 図3

特 2 0 0 1 - 1 1 0 1 9 5

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日

[ 変更理由 ] 新規登録

住 所 東京都港区芝五丁目 7 番 1 号

氏 名 日本電気株式会社



特 2 0 0 1 - 1 1 0 1 9 5

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 1 8 1 2 8 4 ]

1. 変更年月日 1 9 9 0 年 8 月 1 0 日

[変更理由] 新規登録

住 所 鹿児島県出水市大野原町 2 0 8 0

氏 名 鹿児島日本電気株式会社